

SN65LVDSxx 高速差分线路驱动器和接收器

1 特性

- 符合或超出 ANSI TIA/EIA-644 标准
- 专为信号传输速率而设计¹：
 - 高达 630Mbps (驱动器)
 - 高达 400Mbps (接收器)
- 由 2.4V 至 3.6V 电源供电
- 采用 SOT-23 和 SOIC 封装
- 总线终端 ESD 保护等级超过 9kV
- 低电压差分信号, 可向一个 100Ω 负载提供 350mV 的典型输出电压
- 传播延迟时间
 - 典型值为 1.7ns (驱动器)
 - 典型值为 2.5ns (接收器)
- 200MHz 频率下的功耗
 - 典型值为 25mW (驱动器)
 - 典型值为 60mW (接收器)
- LVDT 接收器包含线路端接
- 低压 TTL (LVTTTL) 电平驱动器输入可耐受 5V 电压
- 驱动器为输出高阻抗且 $V_{CC} < 1.5V$
- 接收器输出和输入都为高阻抗且 $V_{CC} < 1.5V$
- 接收器开路失效防护
- 差分输入电压阈值小于 100mV

2 应用

- 无线基础设施
- 电信基础设施
- 打印机

3 说明

SN65LVDS1、SN65LVDS2 和 SN65LVDT2 器件均为采用小外形晶体管封装的单通道、低电压、差分线路驱动器和接收器。它们的输出符合 TIA/EIA-644 标准, 并且在信号传输速率高达 630Mbps (对于驱动器) 和 400Mbps (对于接收器) 的条件下为 100Ω 负载提供 247mV 的最小差分输出电压幅度。

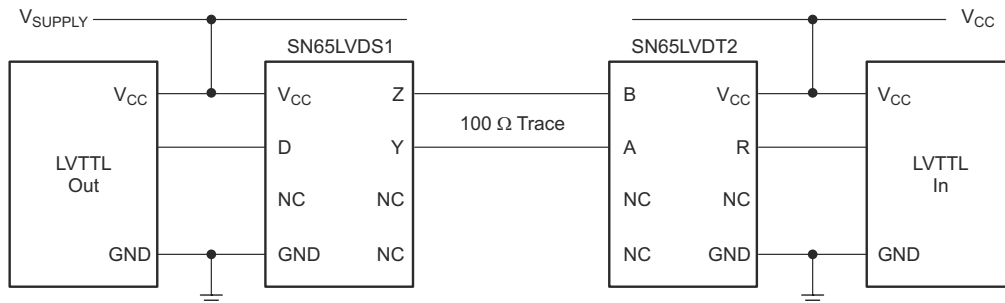
当在点对点连接中将 SN65LVDS1 器件与 LVDS 接收器 (例如 SN65LVDT2) 配合使用时, 数据或时钟信号能够以极高的速率通过印刷电路板布线或电缆传输, 同时具有极低的电磁辐射和功耗。由于其封装、低功耗、低 EMI、高 ESD 容差和宽电源电压范围等特性, 因此该器件非常适合电池供电型应用。

SN65LVDS1、SN65LVDS2 和 SN65LVDT2 器件的额定工作温度范围是 -40°C 至 85°C。

器件信息

器件型号	封装 ⁽¹⁾	本体尺寸 (标称值)
SN65LVDS1	SOIC (8)	4.90mm × 3.91mm
	SOT (5)	2.90mm × 1.60mm
SN65LVDS2	SOIC (8)	4.90mm × 3.91mm
	SOT (5)	2.90mm × 1.60mm
SN65LVDT2	SOIC (8)	4.90mm × 3.91mm
	SOT (5)	2.90mm × 1.60mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。



简化版原理图

¹ 线路的信号传输速率是每秒进行电压转换的次数, 以单位 bps (每秒位数) 来表示



内容

1 特性	1	8.4 器件功能模式	16
2 应用	1	9 应用和实施	19
3 说明	1	9.1 应用信息.....	19
4 器件选项	3	9.2 典型应用.....	19
5 引脚配置和功能	3	10 电源相关建议	26
6 规格	4	11 布局	26
6.1 绝对最大额定值.....	4	11.1 布局指南.....	26
6.2 ESD 等级.....	4	11.2 布局示例.....	30
6.3 建议运行条件.....	4	12 器件和文档支持	31
6.4 热性能信息.....	5	12.1 器件支持.....	31
6.5 驱动器电气特性.....	5	12.2 第三方产品免责声明.....	31
6.6 接收器电气特性.....	6	12.3 文档支持.....	31
6.7 驱动器开关特性.....	6	12.4 接收文档更新通知.....	31
6.8 接收器开关特性.....	7	12.5 支持资源.....	31
6.9 典型特性.....	8	12.6 商标.....	31
7 参数测量信息	10	12.7 静电放电警告.....	31
8 详细说明	14	12.8 术语表.....	31
8.1 概述.....	14	13 修订历史记录	31
8.2 功能方框图.....	14	14 机械、封装和可订购信息	32
8.3 特性说明.....	14		

4 器件选项

器件型号	集成端接	封装
SN65LVDS1DBV		SOT-23 (5)
SN65LVDS1D		SOIC (8)
SN65LVDS2DBV		SOT-23 (5)
SN65LVDS2D		SOIC (8)
SN65LVDT2DBV	√	SOT-23 (5)
SN65LVDT2D	√	SOIC (8)

5 引脚配置和功能

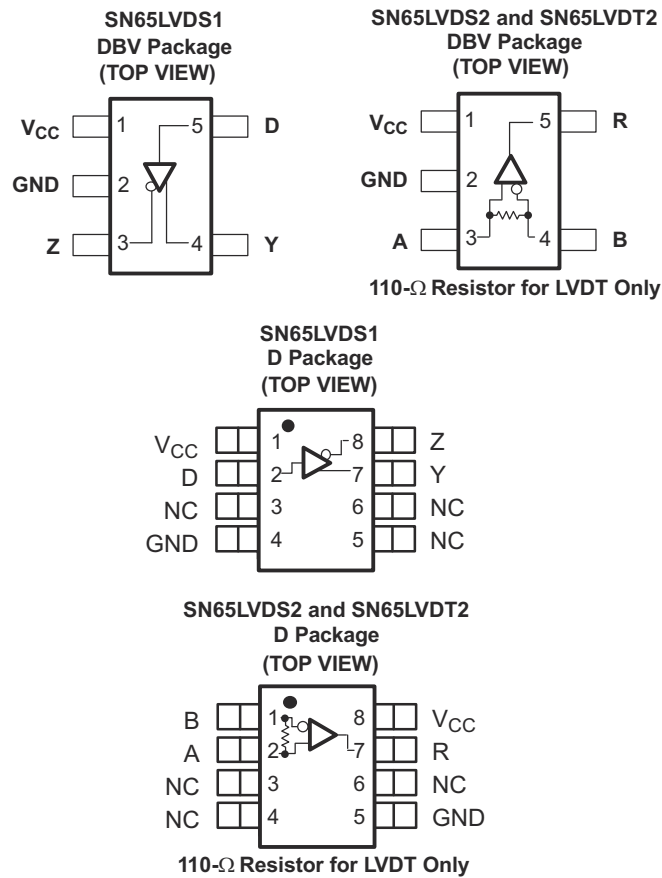


表 5-1. 引脚功能：SN65LVDS1

引脚			I/O	说明
名称	DBV	D		
V _{CC}	1	1	--	电源电压
GND	2	4	--	地
D	5	2	I	LVTTL 输入信号
Y	4	7	O	差分 (LVDS) 同相输出
Z	3	8	O	差分 (LVDS) 反相输出
NC	--	3、5、6	--	无连接

表 5-2. 引脚功能：SN65LVDS2、SN65LVDT2

引脚			I/O	说明
名称	DBV	D		
V _{CC}	1	8	--	电源电压
GND	2	5	--	地
A	3	2	I	差分 (LVDS) 同相输出
B	4	1	I	差分 (LVDS) 反相输出
R	5	7	O	LVTTL 输出信号
NC	--	3、4、6	--	无连接

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

参数		最小值	最大值	单位
电源电压范围 V _{CC} ⁽²⁾		-0.5	4	V
输入电压范围, V _I	(A 或 B)	-0.5	4	V
	(D)	-0.5	V _{CC} + 2	V
输出电压, V _O	(Y 或 Z)	-0.5	4	V
差分输入电压幅度, V _{ID}	仅限 SN65LVDT2		1	V
接收器输出电流, I _O		-12	12	mA
贮存温度, T _{stg}		-65	150	°C

- (1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些仅为压力额定值, 并不表示器件在这些条件下以及在 [建议运行条件](#) 以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 除差分 I/O 总线电压外的所有电压值都是相对于网络接地端的值。

6.2 ESD 等级

			值	单位
V _(ESD) 静电放电	人体放电模型静电放电, HBM ESD ⁽¹⁾	所有引脚	±4000	V
		总线引脚 (A、B、Y、Z)	±9000	
	机器放电模型静电放电, MM ESD ⁽²⁾		±400	
	场感应充电器件模型静电放电, FCDM ESD ⁽³⁾		±1500	

- (1) 测试方法基于 JEDEC 标准 22 测试方法 A114-A。总线引脚分别相对于 GND 和 V_{CC} 进行压力测试。
- (2) 测试方法基于 JEDEC 标准 22 测试方法 A114-A。
- (3) 测试方法基于 EIA-JEDEC JESD22-C101C。

6.3 建议运行条件

参数		最小值	标称值	最大值	单位
V _{CC}	电源电压	2.4	3.3	3.6	V
V _{IH}	高电平输入电压	2		5	V
V _{IL}	低电平输入电压	0		0.8	V
T _A	自然通风条件下的工作温度范围	-40		85	°C
V _{ID}	差分输入电压幅度	0.1		0.6	V
输入电压 (输入或共模电压的任意组合)		0		V _{CC} - 0.8	V

6.4 热性能信息

热指标 ⁽¹⁾		SN65LVDS1、SN65LVDS2、 SN65LVDT2		单位
		D	DBV	
		8 引脚	5 引脚	
R _{θJA}	结至环境热阻	172.4	322.6	°C/W
额定功率	T _A ≤ 25°C	725	385	mW
	T _A ≤ 85°C	402	200	

(1) 有关新旧热指标的更多信息，请参阅 *IC 封装热指标* 应用报告 [SPRA953](#)。

6.5 驱动器电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值 ⁽¹⁾	典型值 ⁽²⁾	最大值	单位
V _{OD} 差分输出电压幅度	R _L = 100Ω, 2.4V ≤ V _{CC} < 3V	200	350	454	mV
	R _L = 100Ω, 3V ≤ V _{CC} < 3.6V	247	350	454	
Δ V _{OD} 逻辑状态之间的差分输出电压幅度变化	请参阅图 7-2	-50		50	
V _{OC(SS)} 稳定状态共模输出电压	请参阅图 7-2	1.125		1.375	V
ΔV _{OC(SS)} 逻辑状态之间的稳态共模输出电压变化		-50		50	mV
V _{OC(PP)} 峰峰值共模输出电压			25	100	mV
I _{CC} 电源电流	V _I = 0V 或 V _{CC} , 无负载		2	4	mA
	V _I = 0V 或 V _{CC} , R _L = 100 Ω		5.5	8	
I _{IH} 高电平输入电流	V _{IH} = 5V		2	20	μA
I _{IL} 低电平输入电流	V _{IL} = 0.8V		2	10	μA
I _{OS} 短路输出电流	V _{OY} 或 V _{OZ} = 0V		3	10	mA
	V _{OD} = 0V			10	
I _{O(OFF)} 断电输出电流	V _{CC} = 1.5V, V _O = 3.6V	-1		1	μA
C _i 输入电容	V _I = 0.4sin(4E6 π t) + 0.5V		3		pF

(1) 本数据表采用将最小正值（最大负值）指定为最小值的代数约定。

(2) 所有典型值均在 25°C 和 3.3V 电源条件下测得。

6.6 接收器电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值 ⁽¹⁾	典型值 ⁽²⁾	最大值	单位	
V _{ITH+}	正向差分输入电压阈值	请参阅图 7-3			100	mV	
V _{ITH-}	负向差分输入电压阈值		-100				
V _{OH}	高电平输出电压	I _{OH} = -8mA, V _{CC} = 2.4V	1.9			V	
		I _{OH} = -8mA, V _{CC} = 3V	2.4				
V _{OL}	低电平输出电压	I _{OL} = 8mA		0.25	0.4	V	
I _{CC}	电源电流	无负载稳定状态		4	7	mA	
I _I	输入电流 (A 或 B 输入)	LVDS2	V _I = 0V, 其他输入 = 1.2V	-20	-2	μ A	
			V _I = 2.2V, 其他输入 = 1.2V, V _{CC} = 3.0V	-3	-1.2		
		LVDT2	V _I = 0V, 其他输入开路	-40	-4		
			V _I = 2.2V, 其他输入开路, V _{CC} = 3.0V	-6	-2.4		
I _{ID}	差分输入电流 (I _{IA} - I _{IB})	LVDS2	V _{IA} = 2.4V, V _{IB} = 2.3V	-2	2	μ A	
I _{I(OFF)}	断电输入电流 (A 或 B 输入)	LVDS2	V _{CC} = 0V, V _{IA} = V _{IB} = 2.4V		20	μ A	
		LVDT2	V _{CC} = 0V, V _{IA} = V _{IB} = 2.4V		40		
R _T	差分输入电阻	LVDT2	V _{IA} = 2.4V, V _{IB} = 2.2V	90	111	132	Ω
C _I	输入电容		V _I = 0.4sin(4E6 π t) + 0.5V		5.8		pF
C _O	输出电容		V _I = 0.4sin(4E6 π t) + 0.5V		3.4		pF

(1) 本数据表采用将最小正值 (最大负值) 指定为最小值的代数约定。

(2) 所有典型值均在 25°C 和 2.7V 电源条件下测得。

6.7 驱动器开关特性

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
t_{PLH} 传播延时, 低至高电平输出	$R_L = 100\Omega$, $C_L = 10\text{pF}$, 请参阅图 7-5		1.5	3.1	ns
t_{PHL} 传播延时, 高至低电平输出			1.8	3.1	ns
t_r 差分输出信号上升时间			0.6	1	ns
t_f 差分输出信号下降时间			0.7	1	ns
$t_{sk(p)}$ 脉冲偏斜 ($ t_{PHL} - t_{PLH} $) ⁽²⁾			0.3		ns

(1) 所有典型值均在 25°C 和 3.3V 电源条件下测得。

(2) $t_{sk(p)}$ 是输出端高电平到低电平传播延迟时间和低电平到高电平传播延迟时间之间的时间差大小。

6.8 接收器开关特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
t_{PLH} 传播延时, 低至高电平输出	$C_L = 10\text{pF}$, 请参阅图 7-6	1.4	2.6	3.6	ns
t_{PHL} 传播延时, 高至低电平输出		1.4	2.5	3.6	ns
$t_{sk(p)}$ 脉冲偏斜 ($ t_{pHL} - t_{pLH} $) ⁽²⁾			0.1	0.6	ns
t_r 输出信号上升时间			0.8	1.4	ns
t_f 输出信号下降时间			0.8	1.4	ns
$t_{r(slew)}$ 输出压摆率 (上升)	$C_L = 10\text{pF}$	$V_{CC} = 3.0\text{V}$ 至 3.6V	2.2	3	V/ns
		$V_{CC} = 2.4\text{V}$ 至 2.7V	1.5	1.9	V/ns
$t_{f(slew)}$ 输出压摆率 (下降)		$V_{CC} = 3.0\text{V}$ 至 3.6V	2.7	3.8	V/ns
		$V_{CC} = 2.4\text{V}$ 至 2.7V	2.1	2.3	V/ns

- (1) 所有典型值均在 25°C 和 2.7V 电源条件下测得。
 (2) $t_{sk(p)}$ 是输出端高电平到低电平传播延迟时间和低电平到高电平传播延迟时间之间的时间差大小。

6.9 典型特性

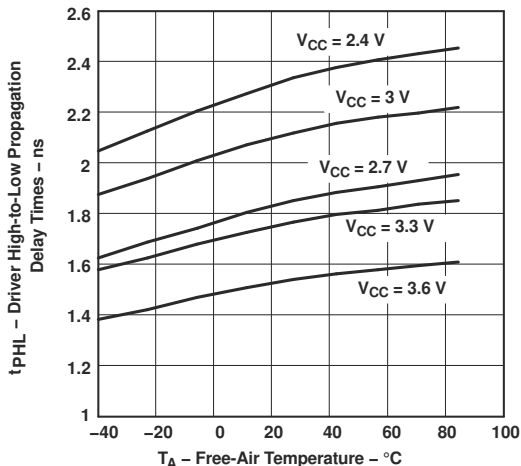


图 6-1. 驱动器高电平至低电平传播延迟时间与自然通风温度间的关系

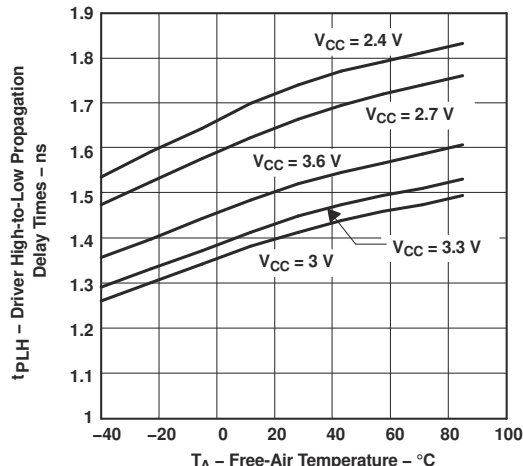


图 6-2. 驱动器低电平至高电平传播延迟时间与自然通风温度间的关系

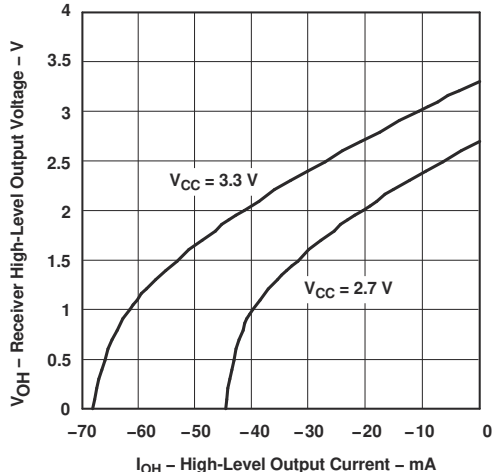


图 6-3. 接收器高电平输出电压与高电平输出电流间的关系

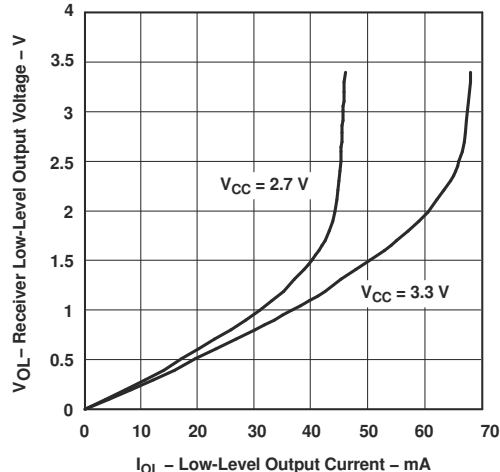


图 6-4. 接收器低电平输出电压与低电平输出电流间的关系

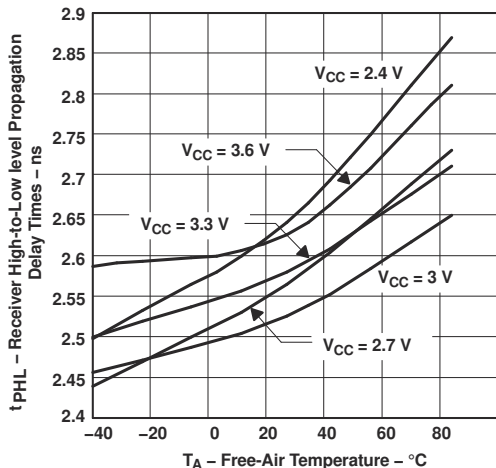


图 6-5. 接收器高电平至低电平传播延迟时间与自然通风温度间的关系

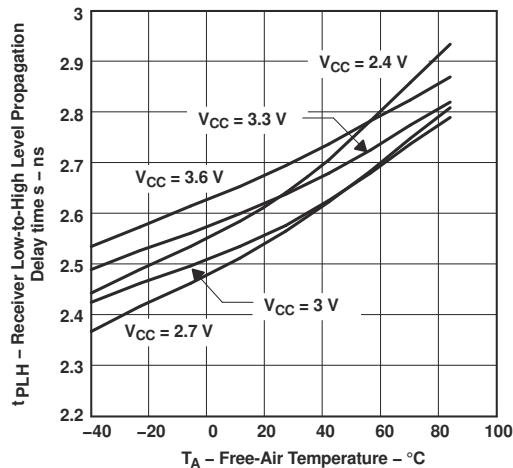


图 6-6. 接收器低电平至高电平传播延迟时间与自然通风温度间的关系

6.9 典型特性 (续)

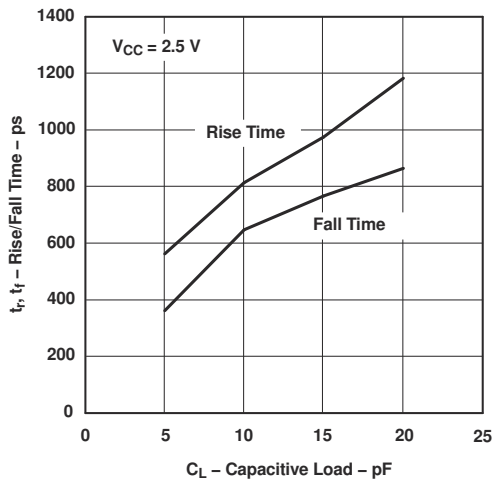


图 6-7. 上升或下降时间与容性负载间的关系

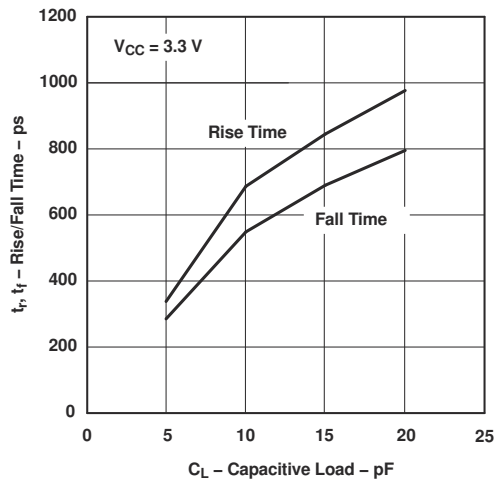


图 6-8. 上升或下降时间与容性负载间的关系

7 参数测量信息

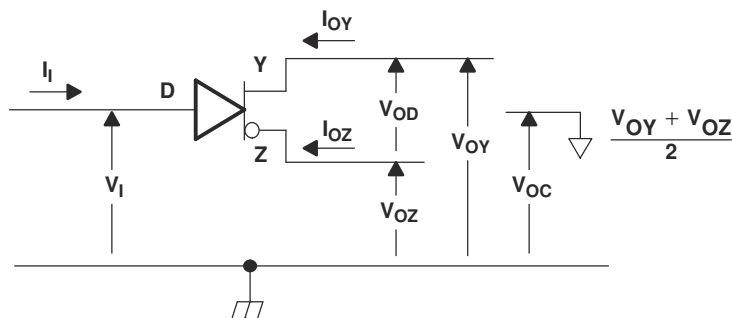
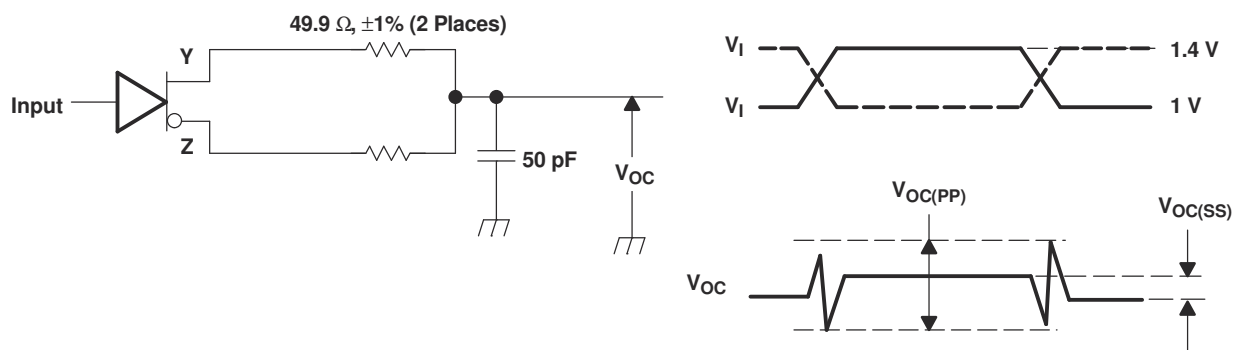


图 7-1. 驱动器电压和电流定义



- A. 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 $t_f \leq 1\text{ns}$ 、脉冲重复率 (PRR) = 0.5Mpps 且脉冲宽度 = $500 \pm 10\text{ns}$ 。 C_L 包括距离受测器件 0.06mm 范围内的仪表和设备电容。 $V_{OC(PP)}$ 测量是在测试设备上使用 -3dB 带宽以至少 300MHz 的频率执行的。

图 7-2. 驱动器测试电路与驱动器共模输出电压定义

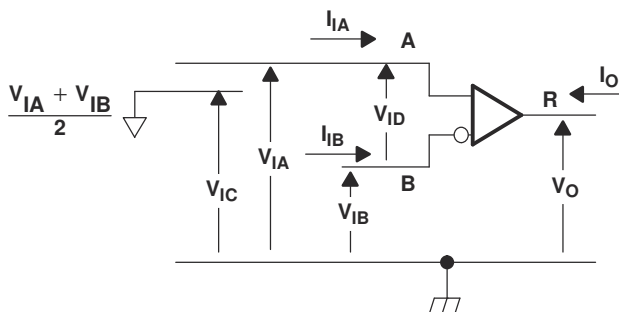
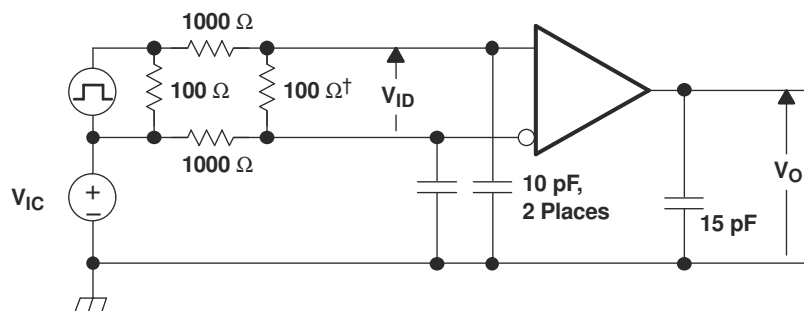
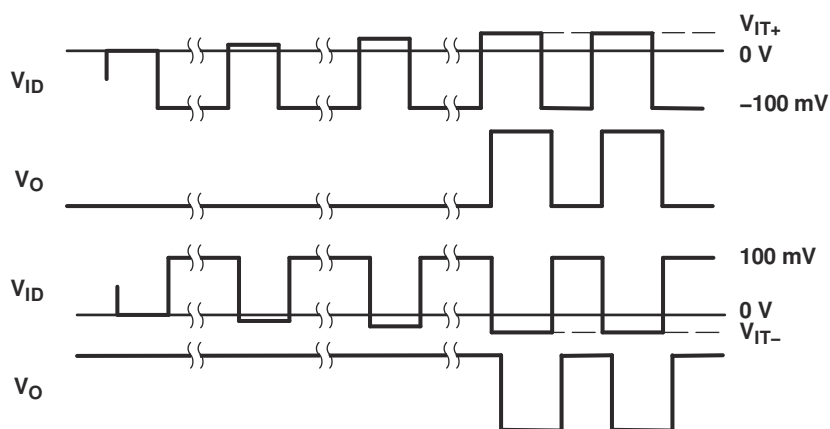


图 7-3. 接收器电压和电流定义



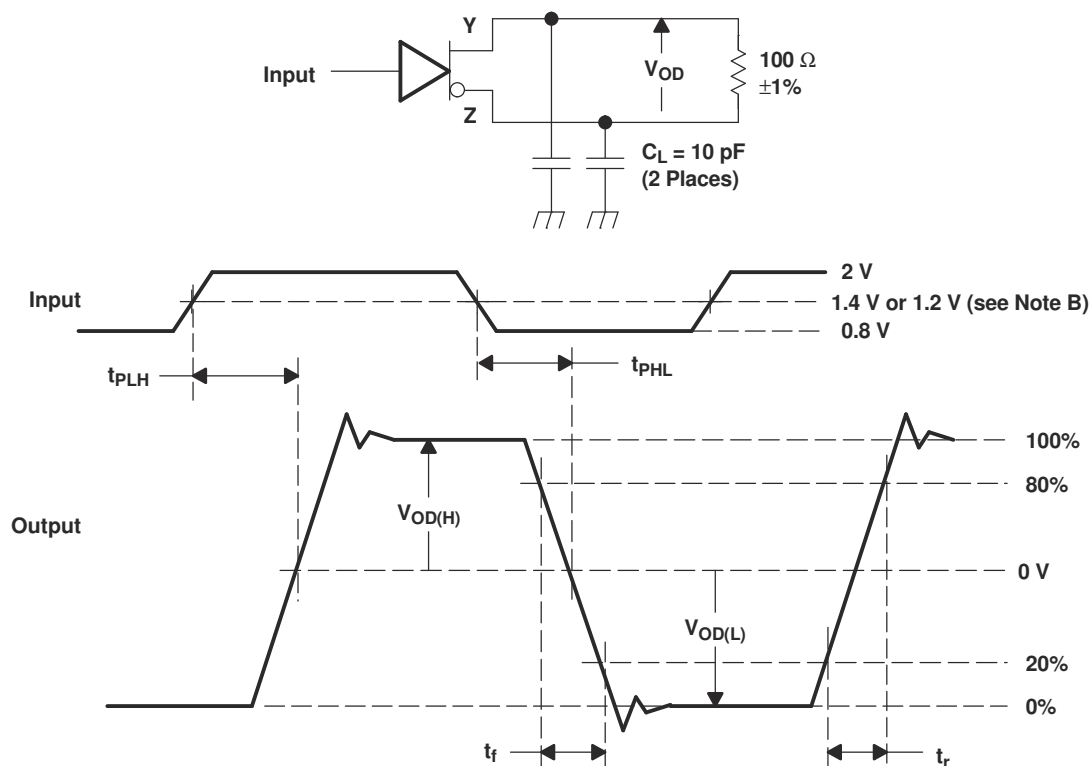
† Remove for testing LVDT device.

NOTE: Input signal of 3 Mpps, duration of 167 ns, and transition time of < 1 ns.



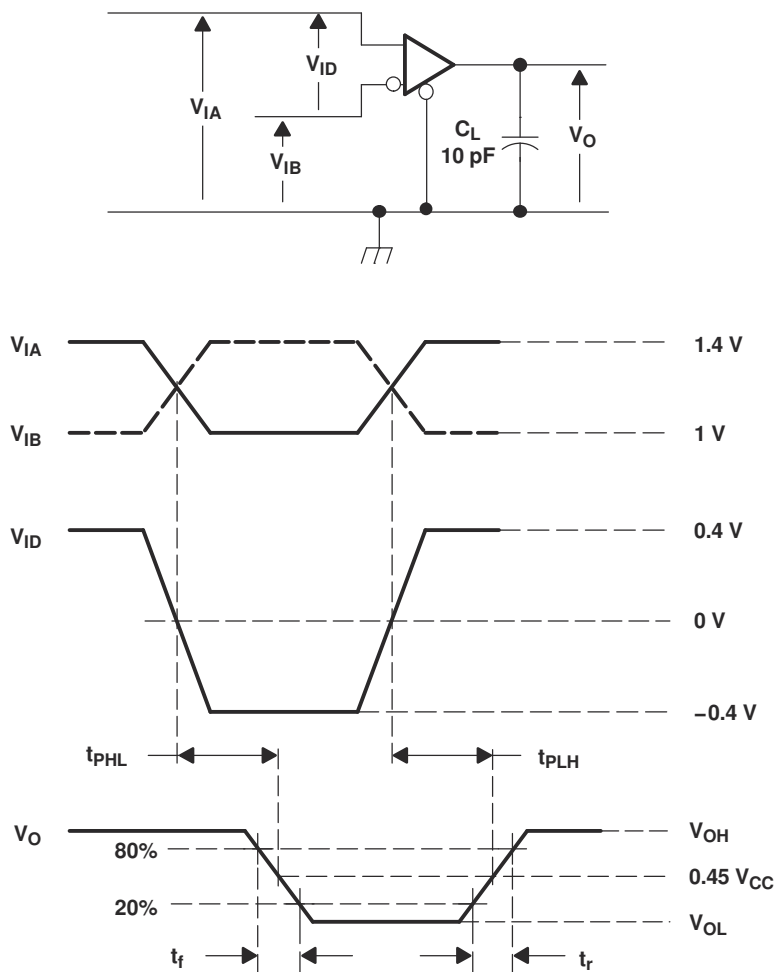
NOTE: Input signal of 3 Mpps, duration of 167 ns, and transition time of < 1 ns.

图 7-4. V_{IT+} 和 V_{IT-} 输入电压阈值测试电路和定义



- A. 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 $t_f \leq 1\text{ns}$ 、脉冲重复率 (PRR) = 50Mpps 且脉冲宽度 = $10 \pm 0.2\text{ns}$ 。 C_L 包括距离受测器件 0.06mm 范围内的仪表和设备电容。
- B. 该点在 $V_{CC} = 3.3\text{V}$ 时为 1.4V，在 $V_{CC} = 2.7\text{V}$ 时为 1.2V。

图 7-5. 差分输出信号的驱动器测试电路、时序和电压定义



- A. 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 $t_f \leq 1 \text{ ns}$ 、脉冲重复率 (PRR) = 50Mpps 且脉冲宽度 = $10 \pm 0.2 \text{ ns}$ 。 C_L 包括距离受测器件 0.06m 范围内的仪表和设备电容。

图 7-6. 接收器时序测试电路和波形

8 详细说明

8.1 概述

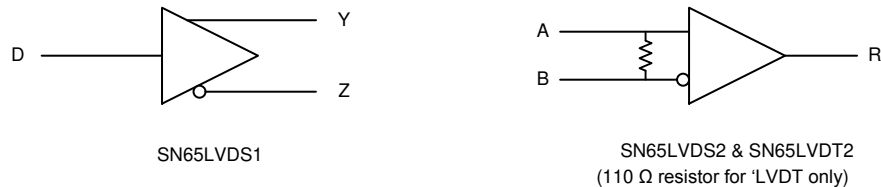
SN65LVDS1 器件是一款单通道、低电压差分信号 (LVDS) 线路驱动器。它由单电源供电运行，其标称电压为 3.3V，但可低至 2.4V，也可高达 3.6V。SN65LVDS1 的输入信号是 LVTTTL 信号。该器件的输出是符合 LVDS 标准 (TIA/EIA-644) 的差分信号。在 1.2V 的共模电压下，差分输出信号的标称信号电平为 340mV。这种低差分输出电压会导致辐射能量较低，具体辐射能量取决于信号压摆率。输出的差分特性使得驱动的信号对可能遇到的共模耦合信号具有一定抗扰度。

SN65LVDS1 器件用于驱动 100 Ω 传输线路。该传输线路可以是印刷电路板 (PCB) 或电缆互连。对于传输线路，当传输线路与等于互连特征阻抗的负载端接时，可以实现最佳的信号质量和电力输送。同样，驱动的 100 Ω 传输线路应使用匹配电阻进行端接。

SN65LVDS2 器件是一款单通道 LVDS 线路接收器。它由单电源供电运行，其标称电压为 3.3V，但可以低至 2.4V，也可以高达 3.6V。SN65LVDS2 的输入信号是差分 LVDS 信号。该器件的输出是 LVTTTL 数字信号。该 LVDS 接收器需要 $\pm 100\text{mV}$ 的输入信号，以确定接收信号的正确状态。该符合 LVDS 标准的接收器可以接受共模范围为 0.05V 至 2.35V 的输入信号。由于 LVDS 驱动器的共模输出电压为 1.2V，当在驱动器和接收器之间具有 1V 接地漂移的情况下运行时，SN65LVDS2 可以正确地确定线路状态。

SN65LVDT2 器件也是一款单通道 LVDS 接收器。该器件与 SN65LVDS2 的不同之处在于，其包含一个集成式端接电阻器和一个接收器。该端接将取代上述匹配的负载线路端接。SN65LVDT2 既可用于点对点系统，也可用于多点系统来作为多点总线上的最后一个接收器。不应在多点系统中的每个节点都使用 SN65LVDT2 器件，因为这会改变整个总线上的负载总线阻抗，从而导致多次反射和信号失真。

8.2 功能方框图



8.3 特性说明

8.3.1 SN65LVDS1 特性

8.3.1.1 驱动器输出电压和上电复位

SN65LVDS1 驱动器在 2.6V 至 3.6V 电源电压范围内工作并满足所有指定的性能要求。当电源电压下降至 1.5V 以下 (或正在开启且尚未达到 1.5V) 时，上电复位电路将驱动器输出设置为高阻抗状态。

8.3.1.2 驱动器失调电压

需要符合 LVDS 标准的驱动器来将共模输出电压保持在 1.2V ($\pm 75\text{mV}$)。SN65LVDS1 集成检测电路和一个控制环路来提供共模电流并将输出信号保持在指定值范围内。此外，该器件可以在 2.6V 至 3.6V 的整个电源电压范围内将输出共模电压保持在此设定点。

8.3.1.3 可耐受 5V 输入

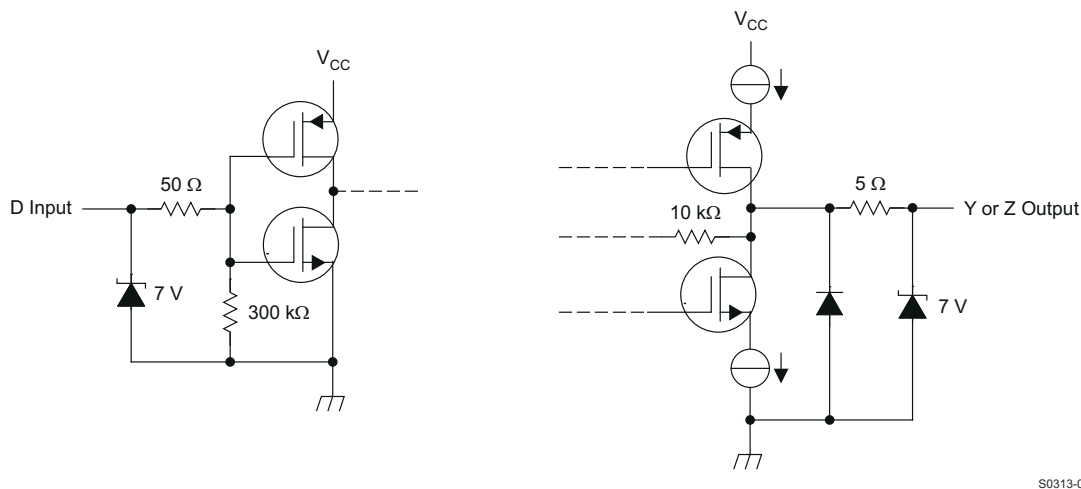
5V 和 3.3V TTL 逻辑标准具有相同的输入高压阈值和输入低压阈值，分别为 2.0V 和 0.8V。尽管 SN65LVDS1 的最大电源电压为 3.6V，但是当输入信号高达 5V 时，该驱动器可以正常运行并满足所有性能要求。这使得可以使用 3.3V TTL 和 5V TTL 逻辑运行。也可以使用 3.3V CMOS 和 5V CMOS 输入，但应确保由 TTL (接地基准) 阈值导致的占空比失真可接受的。

8.3.1.4 NC 引脚

NC (未连接) 引脚是指芯片上未物理连接到引线框或封装的引脚。为了获得出色的热性能,最好是在电路板级别将 NC 引脚接地。

8.3.1.5 驱动器等效原理图

图 8-1 所示为 SN65LVDS1 等效输入和输出原理图。驱动器输入由带 7V 齐纳二极管的 CMOS 反相器级表示。输入级为高阻抗,并包括内部下拉至地。如果驱动器输入端保持开路,则驱动器输入端向驱动器电路的其余部分提供低电平信号,从而在驱动器输出引脚上产生低电平信号。齐纳二极管提供 ESD 保护。驱动器输出级为差分对,其中一半如图 8-1 所示。与输入级一样,驱动器输出包括用于提供 ESD 保护的齐纳二极管。该原理图显示了一个输出级,其中包括一组根据输入级信号连接到输出负载电路的电流源(标称值为 3.5mA)。对于一阶,SN65LVDS2 输出级充当恒流源。



S0313-02

图 8-1. 驱动器等效输入和输出原理图

8.3.2 SN65LVDS2 和 SN65LVDT2 特性

8.3.2.1 接收器开路失效防护

差分信号应用中最常见的其中一个问题是系统在信号对上不存在差分电压时的响应方式。LVDS 接收器与大多数差分线路接收器一样,当差分输入电压介于 -100mV 和 100mV 之间且在其建议的输入共模电压范围内时,其输出逻辑状态可能是不确定的。然而,TI LVDS 接收器在处理开路输入电路情况的方式上有所不同。

开路意味着从数据线本身到接收器的输入电流很小或没有。这种情况可能出现在驱动器处于高阻抗状态或电缆断开连接时。出现这种情况时,LVDS 接收器会将信号的每条线路通过 300kΩ 电阻器拉至 V_{CC},如图 8-2 所示。失效防护功能使用输入电压阈值约为 2.3V 的与门来检测此情况并将输出强制设置为高电平。

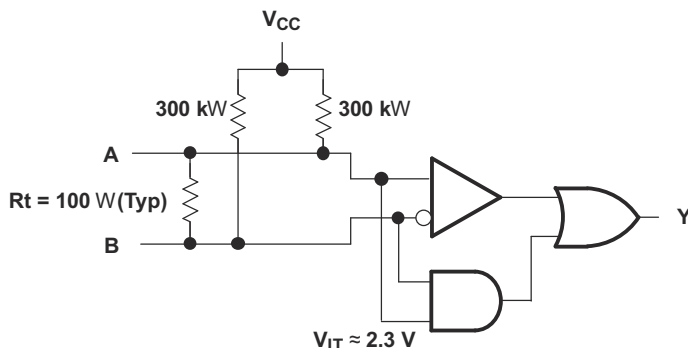


图 8-2. LVDS 接收器的开路失效防护

只有在这些情况下，接收器的输出才在差分输入电压幅度小于 100mV 时有效。只要端接电阻器 R_t 保持连接，它的存在就不会影响失效防护功能，如图 8-2 所示。其他端接电路可能允许直流电流接地，这可能导致接收器的上拉电流和失效防护功能失效。

8.3.2.2 接收器输出电压和上电复位

接收器高电平输出与器件电源电压相关。两个接收器都支持 2.6V 至 3.6V 范围内的电源电压。当电源电压高于 3V 时，接收器高电平输出电压的最小输出电压为 2.4V（符合 TTL 逻辑标准）。对于 2.6V 至 3.0V 的电源电压范围，接收器高电平的最小输出电压为 1.9V。SN65LVDS2 和 SN65LVDT2 接收器包含类似于 SN65LVDS1 电路的上电复位电路。当电源电压降至 1.5V 以下（或正在开启但尚未达到 1.5V）时，上电复位电路会将接收器输入和输出引脚设置为高阻抗状态。

8.3.2.3 共模范围与电源电压

接收器满足所有要求的输入共模范围也随着电源电压的变化而变化。对于所有电源电压，有效输入信号是从地到低于电源轨 0.8V。因此，如果器件由 3.3V 电源供电，并且最小差分电压为 100mV，则支持 0.05V 至 2.45V 范围内的共模值。如果电源轨设置为 2.5V，则共模范围限制为 0.05V 至 1.65V。

8.3.2.4 通用比较器

虽然 SN65LVDS2 和 SN65LVDT2 是符合 LVDS 标准的接收器，但它们的用途和应用扩展到了更广泛的信号范围。只要输入信号在上述所需的差分 and 共模电压范围内，接收器输出就会准确地反映输入信号。

8.3.2.5 接收器等效原理图

图 8-3 所示为 SN65LVDS2 和 SN65LVDT2 等效输入和输出原理图。对于 SN65LVDS2，接收器输入为高阻抗差分对。SN65LVDT2 包括一个输入端口上的 110 Ω 内部端接电阻器。每个输入端都包含 7V 齐纳二极管，以提供 ESD 保护。所示的接收器输出结构是一个具有额外齐纳二极管的 CMOS 反相器，同样用于提供 ESD 保护。

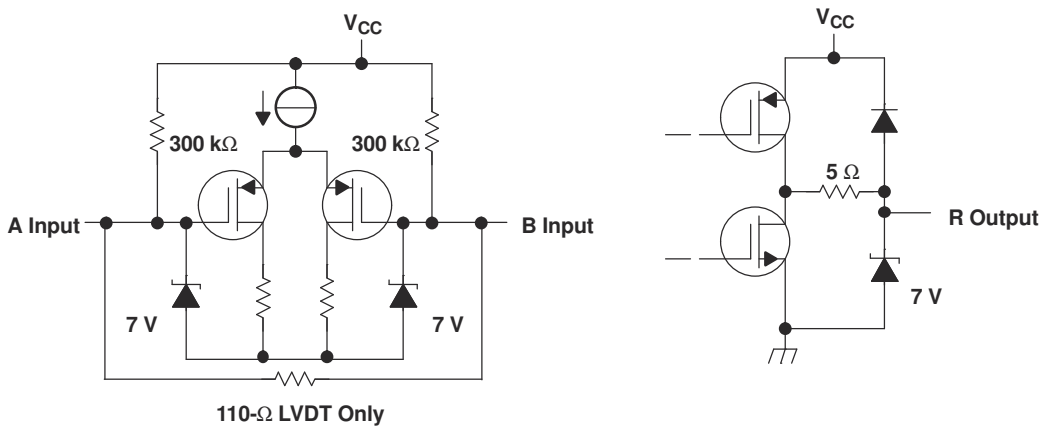


图 8-3. 接收器等效输入和输出原理图

8.3.2.6 NC 引脚

NC（未连接）引脚是指芯片上未物理连接到引线框或封装的引脚。为了获得出色的热性能，最好是在电路板级别将 NC 引脚接地。

8.4 器件功能模式

8.4.1 在 $V_{CC} < 1.5V$ 条件下运行

当 SN65LVDS1 在电源电压低于 1.5V 的条件下运行时，驱动器输出引脚为高阻抗。当 SN65LVDS2 或 SN65LVDT2 在电源电压低于 1.5V 的条件下运行时，接收器输入引脚和接收器输出引脚都为高阻抗。

8.4.2 在 $1.5V \leq V_{CC} < 2.4V$ 条件下运行

电源电压在 $1.5V \leq V_{CC} < 2.4V$ 范围内的工作情况未经定义，在此范围内运行无法保证特定器件的性能。

8.4.3 在 $2.4V \leq V_{CC} < 3.6V$ 条件下运行

在电源电压大于或等于 $2.4V$ 且小于或等于 $3.6V$ 的情况下运行是正常运行。一些器件规格适用于 $2.4V \leq V_{CC} \leq 3.6V$ 的整个电源电压范围，而另一些规格取决于电源电压。上述参数表以及 [典型特性](#) 部分中清晰地说明了这些依赖关系。

8.4.4 SN65LVDS1 真值表

从真值表中可以看出，当驱动器输入保持开路时，差分输出将被驱动为低电平。

表 8-1. 驱动器功能⁽¹⁾

输入	输出	
D	Y	Z
H	H	L
L	L	H
开路	L	H

(1) H = 高电平, L = 低电平, ? = 不确定

表 8-2. 接收器功能⁽¹⁾

输入	输出
$V_{ID} = V_A - V_B$	R
$V_{ID} \geq 100\text{mV}$	H
$-100\text{mV} < V_{ID} < 100\text{mV}$	?
$V_{ID} \leq -100\text{mV}$	L
开路	H

(1) H = 高电平, L = 低电平, ? = 不确定

8.4.5 SN65LVDS2 和 SN65LVDT2 真值表

从该真值表中可以看出, 当接收器差分输入信号大于 100mV 时, 接收器输出为高电平, 当差分输入电压低于 -100mV 时, 接收器输出为低电平。当输入电压介于这些阈值之间 (即介于 -100mV 和 100mV 之间) 时, 接收器输出是不确定的。它可以是高电平, 也可以是低电平。当接收器的输入端为开路时, 会出现一种特殊情况。

表 8-3. 驱动器功能⁽¹⁾

输入	输出	
D	Y	Z
H	H	L
L	L	H
开路	L	H

(1) H = 高电平, L = 低电平, ? = 不确定

表 8-4. 接收器功能⁽¹⁾

输入	输出
$V_{ID} = V_A - V_B$	R
$V_{ID} \geq 100\text{mV}$	H
$-100\text{mV} < V_{ID} < 100\text{mV}$	?
$V_{ID} \leq -100\text{mV}$	L
开路	H

(1) H = 高电平, L = 低电平, ? = 不确定

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

SN65LVDS1、SN65LVDS2 和 SN65LVDT2 器件均为单通道 LVDS 缓冲器。这些器件虽然功能简单但极其灵活，因此可用于从无线基站到台式电脑的各种设计中。各种不同类别的潜在应用具有一些相同的特性和应用，以下各段中对此进行了讨论。

9.2 典型应用

9.2.1 点对点通信

如本数据表中所示，LVDS 缓冲器最基本的应用是数字数据的点对点通信，如图 9-1 中所示。

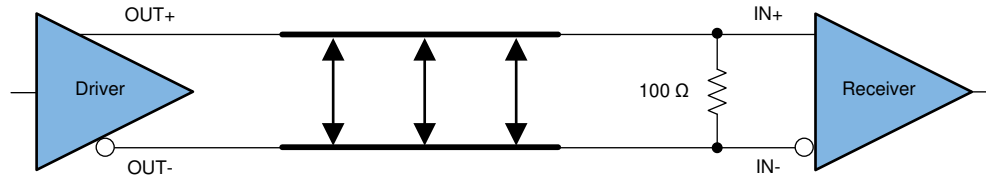


图 9-1. 点对点拓扑

一个点对点通信通道具有一个发送器（驱动器）和一个接收器。这种通信拓扑通常称为单工拓。在图 9-1 中，驱动器接收单端输入信号，接收器输出单端恢复信号。LVDS 驱动器将单端输入转换为差分信号，以便通过具有 100 Ω 特征阻抗的平衡互连介质传输。从单端信号到 LVDS 信号的转换会保留数字数据有效载荷，同时转换为更适合远距离或嘈杂环境通信的信号。

9.2.1.1 设计要求

设计参数	示例值
驱动器电源电压 (V_{CCD})	2.4V 至 3.6V
驱动器输入电压	0.8V 至 5.0V
驱动器信号传输速率	DC 至 400Mbps
互连特征阻抗	100 Ω
端接电阻	100 Ω
接收器节点数量	1
接收器电源电压 (V_{CCR})	2.4V 至 3.6V
接收器输入电压	0V 至 $V_{CCR} - 0.8V$
接收器信号传输速率	DC 至 400Mbps
驱动器和接收器之间的接地漂移	±1V

9.2.1.2 详细设计过程

9.2.1.2.1 驱动器电源电压

SN65LVDS1 驱动器采用单电源供电运行。该器件支持的电源电压范围为 2.4V 至 3.6V。驱动器输出电压取决于所选的电源电压。如 [驱动器电气特性](#) 中所示，整个输出范围内的差分输出电压标称值为 350mV。对于 3.3V 电源，最小输出电压保持在指定的 LVDS 限制范围 (247mV 至 454mV) 内。如果电源电压范围介于 2.4V 和 3V 之间，则最小输出电压可能低至 200mV。如果通信链路设计为在该较低电源电压范围内运行，则需要仔细考虑通道噪声容限，以确保无差错运行。

9.2.1.2.2 驱动器旁路电容

旁路电容器在配电电路中发挥着关键作用。具体而言，它们会在电源和地之间形成低阻抗路径。在低频下，良好的数字电源在其端子之间提供阻抗极低的路径。但是，随着更高频率的电流通过电源布线传输，该电源通常无法保持低阻抗的接地路径。旁路电容器便于解决这一问题。通常，板级大旁路电容器 (10 μ F 至 1000 μ F) 在 kHz 范围内可以很好地工作。由于其尺寸和引线长度，它们往往在现代数字电路的开关频率下具有较大的电感值。要解决这个问题，必须使用较小的电容器 (nF 至 μ F 范围) 并将其安装在集成电路旁边。

多层陶瓷芯片或表面贴装电容器 (尺寸 0603 或 0805) 可以在高速环境中尽可能地减小旁路电容器的引线电感，因为它们的引线电感约为 1nH。为进行比较，带引线的典型电容器具有约 5nH 的引线电感。

根据 Johnson¹ 公式 8.18 至 8.21，可以通过以下公式确定与 LVDS 芯片一起使用的局部旁路电容器值。200ps 的保守上升时间和 1A 的最坏情况下电源电流变化涵盖了德州仪器 (TI) 提供的 LVDS 器件的整个范围。在此示例中，所能承受的最大电源噪声为 200mV；但是，根据设计中可用的噪声预算，此数字会有所不同。

$$C_{\text{chip}} = \left(\frac{\Delta I_{\text{Maximum Step Change Supply Current}}}{\Delta V_{\text{Maximum Power Supply Noise}}} \right) \times T_{\text{Rise Time}} \quad (1)$$

$$C_{\text{LVDS}} = \left(\frac{1\text{A}}{0.2\text{V}} \right) \times 200 \text{ ps} = 0.001 \mu\text{F} \quad (2)$$

以下示例降低了引线电感，并涵盖了板级电容器 (>10 μ F) 与上述电容值 (0.001 μ F) 之间的中间频率。您应将最小电容值放置在尽可能靠近芯片的位置。

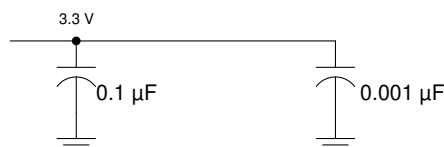


图 9-2. 建议的 LVDS 旁路电容器布局

1. Howard Johnson & Martin Graham. 1993. High Speed Digital Design - A Handbook of Black Magic. Prentice Hall PRT. ISBN number 013395724.

9.2.1.2.3 驱动器输入电压

SN65LVDS1 输入旨在支持宽输入电压范围。输入级可以接受高达 5V 的信号，与驱动器上使用的电源电压无关。该宽输入范围允许使用 3.3V 和 5V 电源运行。虽然输入级确实支持该宽输入范围，但驱动器将以约 1.4V 的决策阈值运行。对于 LVTTTL 输入信号，该阈值与表示 HI 和 LO 逻辑电平的电压非常匹配。对于 5V TTL 输入信号和 CMOS 输入信号，该 1.4V 固定阈值会导致一些占空比失真。可以根据输入压摆率以及输入数据的信号传输速率来轻松计算失真水平。尽管设计人员应该在器件以更高速度运行或占空比为关键特性时考虑该影响，但这种失真通常微不足道。

9.2.1.2.4 驱动器输出电压

SN65LVDS1 驱动器输出为 1.2V 共模电压，其标称差分输出信号为 350mV。此 350mV 是差分摆幅的绝对值 ($V_{OD} = |V^+ - V^-|$)。峰峰值差分电压是该值的两倍，即 700mV。如前所述，当电源电压介于 2.4V 和 3V 之间时，最小差分输出电压为 200mV。虽然 200mV 不满足符合 LVDS 标准的驱动器的最小额定电压，但设计人员可以选择在较低电源电压下使用该驱动器，只要注意通道噪声容限即可。

正如我们马上会看到的，LVDS 接收器阈值为 $\pm 100\text{mV}$ 。根据这些接收器决策阈值，可以清楚地看到以较低电源电压运行驱动器的缺点是噪声容限问题。借助完全符合 LVDS 标准的驱动器和接收器，我们预计最低噪声容限约为 150mV (247mV 最小输出电压减去 100mV 最大输入要求)。如果我们在电源电压范围为 2.4V 至 3V 的情况下运行 SN65LVDS1，最小噪声容限将降至 100mV (200mV - 100mV)。

9.2.1.2.5 介质互连

驱动器和接收器之间的物理通信通道可以是满足 LVDS 标准要求的所有平衡、配对金属导体，以下将介绍其中的关键要点。此介质可以是双绞线、双轴、扁平带状电缆或 PCB 布线。

互连的标称特征阻抗应介于 100Ω 和 120Ω 之间，变化不超过 10% (90Ω 至 132Ω)。

9.2.1.2.6 PCB 传输线路

根据 SNLA187，图 9-3 显示了印刷电路板 (PCB) 中常用的几种传输线路结构。每个结构由一条信号线和一个返回路径组成，沿长度方向具有均匀的横截面。微带是顶层 (或底层) 的信号布线，通过电介质层与其接地平面或电源平面中的返回路径隔开。带状线是指信号布线的内层，信号布线上方和下方的接地平面间有一个电介质层。结构的尺寸和电介质材料的特性决定了传输线路 (也称为受控阻抗传输线路) 的特征阻抗。

当两条信号线路紧靠在一起时，它们就会形成一对耦合传输线路。图 9-3 展示了边沿耦合微带和边沿耦合或宽侧耦合带状线的示例。当由差分信号激励时，耦合的传输线路称为差分对。每条线路的特征阻抗称为奇数模式阻抗。每条线的奇数模式阻抗之和等于差分对的差分阻抗。除了布线尺寸和介电材料属性之外，两条布线之间的间距还决定了互耦合并影响差分阻抗。当两条线路紧邻 (例如，如果 S 小于 $2W$) 时，差分对称为紧密耦合差分对。若要在整个长度范围内保持恒定的差分阻抗，务必要使布线宽度和沿长度方向的间距保持一致，并在两条线之间保持良好的对称性。

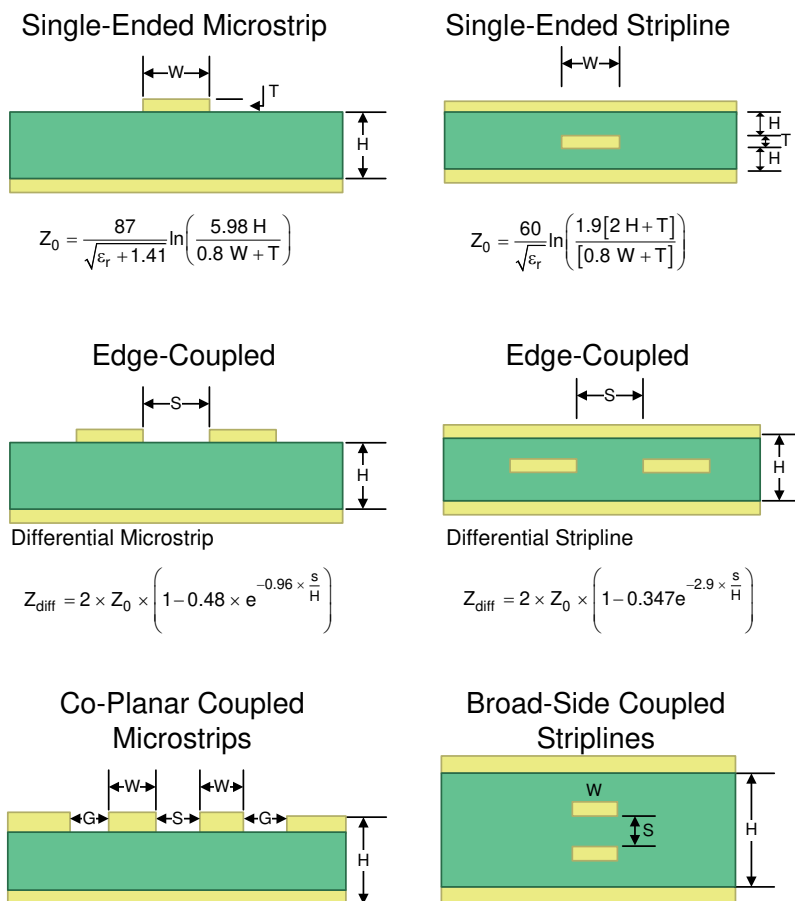


图 9-3. 受控阻抗传输线路

9.2.1.2.7 端接电阻器

如前所示，LVDS 通信通道采用电流源驱动与一个电阻负载端接的传输线路。该负载用于将传输的电流转换为接收器输入端的电压。为了确保入射波切换（这是通道以最高信号传输速率运行所必需的），端接电阻应与传输线路的特征阻抗相匹配。设计人员应确保端接电阻处于标称介质特征阻抗的 10% 范围内。如果传输线路的目标为 100 Ω 阻抗，则端接电阻应介于 90 Ω 和 110 Ω 之间。

线路端接电阻应尽可能靠近接收器，从而尽量减少从电阻器到接收器的残桩长度。极限情况是将端接电阻器集成到接收器中，而 SN65LVDT2 正是这样做的。SN65LVDT2 提供 SN65LVDS2 接收器的所有功能和性能，并具有集成端接负载的附加特性。

当我们在本节中讨论点对点通信时，需要警惕使用多点拓扑时可能出现的问题。在此类拓扑中，线路端接电阻器仅位于传输线路的末端。在此类环境中，SN65LVDS2 接收器可用于主总线分支的负载，而 SN65LVDT2 只在总线末端使用。

9.2.1.2.8 驱动器 NC 引脚

NC（未连接）引脚是指芯片上未物理连接到引线框或封装的引脚。为了获得出色的热性能，最好是在电路板级别将 NC 引脚接地。

9.2.1.2.9 接收器电源电压

SN65LVDS2 和 SN65LVDT2 接收器都由单电源供电运行。与 SN65LVDS1 一样，这些器件能够支持在 2.4V 至 3.6V 的电源电压下运行。对于这些 LVDS 接收器，低电源电压的主要影响将出现在接收器输入共模范围和接收器输出电压中。接下来我们将依次解决这些问题。

9.2.1.2.10 接收器旁路电容

前面的 [驱动器旁路电容](#) 中已经讨论过旁路电容器建议。

9.2.1.2.11 接收器输入共模范围

SN65LVDS2 和 SN65LVDT2 支持的输入共模范围取决于器件电源电压。根据建议条件表，我们可以看到支持的范围为 0V 至低于电源轨 0.8V。

在 3.3V 的电源电压下，只要输入共模电压在 GND 和 2.5V 之间，器件就能正常运行。接收器需要在整个共模输入范围内满足灵敏度要求。

回到发送器讨论，我们记得 SN65LVDS1 具有 1.2V 的输出共模范围。如果使用此处讨论的接收器之一，则可以看到，当发送器和接收器之间的接地电位差位于约 $\pm 1V$ 范围内时，通信链路将保持有效运行。由于 LVDS 中使用差分信号传输方式，因此该器件能够在以下环境中运行：因接地电位差和共模噪声相结合而导致发射器和接收器之间的共模差为 1V。这个 1V 电位差暗示了 LVDS 电路的预期应用。

RS-485 等标准支持近 10V 的电位差，从而能够实现超过 1km 的通信距离。LVDS 器件的预期应用更多地集中在中等距离通信上，例如板上的芯片之间、机架中的电路板之间或机架与附近的机架之间。当 1V 电位差不足以满足要求，但仍需要 LVDS 的高速和低电压特性时，设计人员可以从 TI 提供的 M-LVDS 器件中进行选择，也可以选择使用具有扩展共模范围的 LVDS 器件，例如 SN65LVDS33。

9.2.1.2.12 接收器输入信号

此处的 LVDS 接收器符合 LVDS 标准，并能够在差分输入电压大于 100mV (HI 输出) 或小于 - 100mV (LO 输出) 时正确确定总线状态。此外，这些接收器可在高达 600mV 的差分输入电压下运行。

9.2.1.2.13 接收器输出信号

当电源电压在 3V 至 3.6V 范围内时，接收器输出符合 LVTTTL 输出电压标准。当电源电压在 2.4V 至 3V 的较低范围内时，高输出电压可低至 1.9V。如果设计打算在该较低范围内的电源电压条件下运行接收器，应注意确保由这些器件驱动的器件能够在较低的输出电压下正常运行。

9.2.1.2.14 接收器 NC 引脚

NC (未连接) 引脚是指芯片上未物理连接到引线框或封装的引脚。为了获得出色的热性能，最好是在电路板级别将 NC 引脚接地。

9.2.2 应用曲线

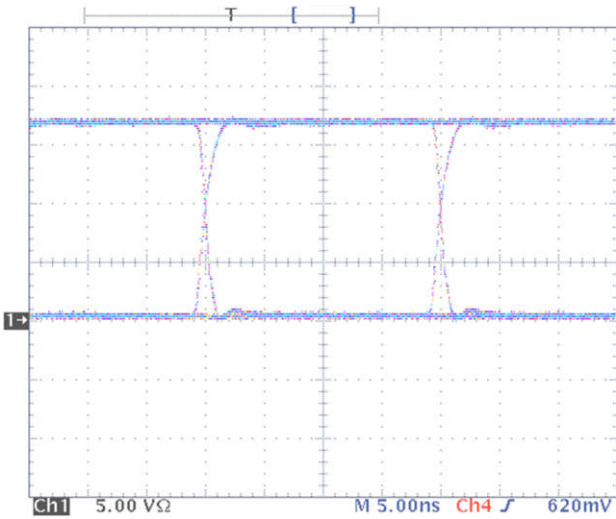


图 9-4. 点对点系统中的典型驱动器输出眼图

9.2.3 多点通信

LVDS 缓冲器的另一个常见应用是多点拓扑。多点配置中存在单个驱动器和一个共享总线以及两个或更多接收器（允许的最大接收器数量为 32 个）。图 9-5 展示了一个多点系统示例。

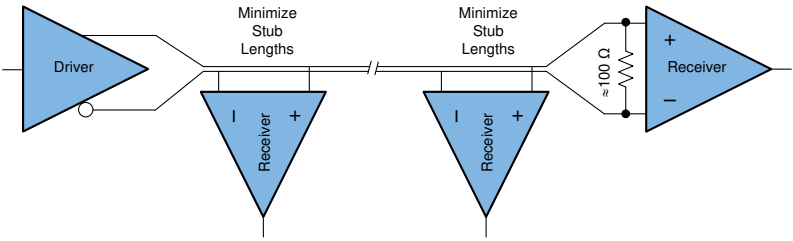


图 9-5. 多点拓扑

9.2.3.1 设计要求

设计参数	示例值
驱动器电源电压 (V_{CCD})	2.4V 至 3.6V
驱动器输入电压	0.8V 至 5.0V
驱动器信号传输速率	DC 至 400Mbps
互连特征阻抗	100 Ω
端接电阻	100 Ω
接收器节点数量	2 至 32
接收器电源电压 (V_{CCR})	2.4V 至 3.6V
接收器输入电压	0V 至 $V_{CCR} - 0.8V$
接收器信号传输速率	DC 至 400Mbps
驱动器和接收器之间的接地漂移	$\pm 1V$

9.2.3.2 详细设计过程

9.2.3.2.1 介质互连

多点系统中的互连与点对点系统的互连有很大不同。点对点互连简单直接且易于理解，而多点系统中遇到的总线类型架构则需要更加仔细的关注。我们将使用上面的图 9-5 来探索这些细节。

最基本的多点系统包括一个位于总线起点的驱动器、多个从主线分支出的接收器节点，以及一个位于传输线末端与总线端接电阻器并置的最终接收器。虽然这是最基本的多点系统，但还有几个考虑因素尚未探究。

发送器位于总线的一端可以简化设计问题，但也会影响灵活性。在发送器位于起点的情况下，需要在远端有一个总线端接。远端端接会吸收入射行波。因此，这种布置会导致如下灵活性丧失：如果需要将单个发送器重新放置在总线上起点以外的任何位置，我们将面临总线的一个末端开路而另一个末端正确端接。可能需要将发送器放置在总线的中间，以减少（一半）从发送器到接收器的最长飞行时间。

图 9-5 中的另一个新特性很清楚地表明，每个从主线分支出来的节点都会导致残桩。在任何情况下，都应尽量减少残桩，但这会产生意外的影响，即局部改变总线的负载阻抗。

在空载多点或多点总线中，任何切断点的特征传输线路阻抗可以很好地近似为 $\sqrt{L/C}$ ，其中 L 是单位长度的电感，而 C 是单位长度的电容。随着电容以器件和互连的形式添加到总线，总线特征阻抗会降低。这可能会导致因总线的空载段和负载段之间阻抗不匹配而出现信号反射。

如果负载数量恒定并可以沿线路均匀分布，则可以通过更改总线端接电阻器来匹配负载特征阻抗，从而减少反射。通常，负载数量并不恒定，分布也不均匀，因此必须在噪声预算中考虑任何不匹配引起的反射。

9.2.3.3 应用曲线

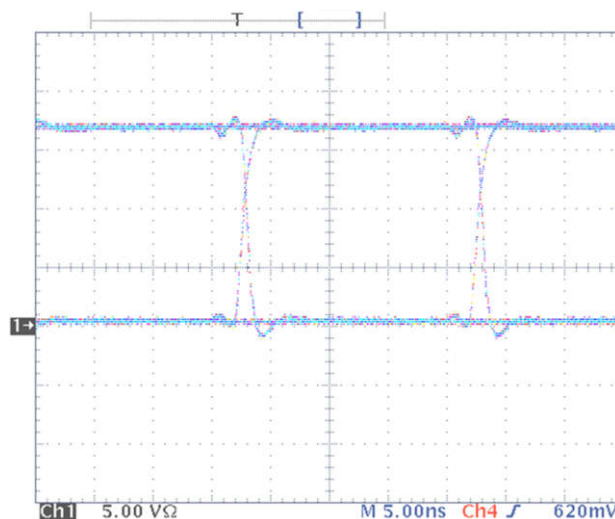


图 9-6. 多点系统中的典型驱动器输出眼图

10 电源相关建议

本数据表中的 LVDS 驱动器和接收器设计为采用单电源供电运行。驱动器和接收器均可在 2.4V 至 3.6V 的电源电压范围内工作。在典型应用中，驱动器和接收器可能位于单独的电路板上，甚至是单独的设备上。在这些情况下，每个位置都将使用单独的电源。驱动器电源和接收器电源之间的预期接地电位差将小于 $|\pm 1V|$ 。应使用板级和本地器件级旁路电容，具体详见 [驱动器旁路电容](#) 和 [接收器旁路电容](#)。

11 布局

11.1 布局指南

11.1.1 微带与带状线拓扑

根据 [SLLD009](#)，印刷电路板通常为设计人员提供两种传输线路选项：微带和带状线。微带是 PCB 外层的布线，如图 11-1 所示。

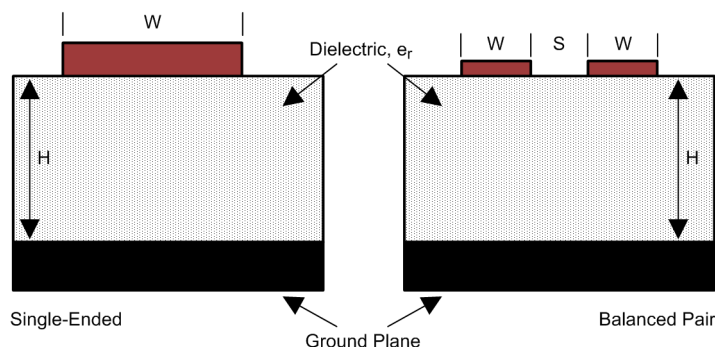


图 11-1. 微带拓扑

而带状线是两个接地平面之间的布线。带状线不易产生辐射和易感性问题，因为基准平面有效地屏蔽了嵌入的布线。但是，从高速传输的角度来看，将两个平面并置会产生额外的电容。TI 建议尽可能在微带传输线路上路由 LVDS 信号。利用 PCB 布线，设计人员可以根据整体噪声预算和反射容差指定 Z_0 的必要容差。脚注 1²、2² 和 3³ 提供了差分 and 单端布线的 Z_0 和 t_{PD} 公式。2 3 4

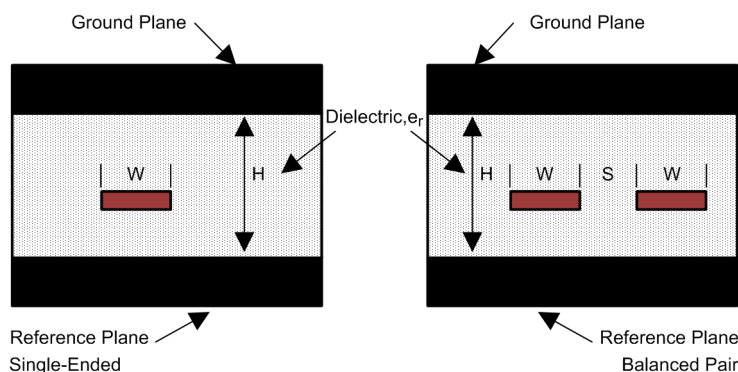


图 11-2. 带状线拓扑

² Howard Johnson & Martin Graham. 1993. High Speed Digital Design - A Handbook of Black Magic. Prentice Hall PRT. ISBN number 013395724.

³ Mark I. Montrose. 1996. Printed Circuit Board Design Techniques for EMC Compliance. IEEE Press. ISBN number 0780311310.

⁴ Clyde F. Coombs, Jr. Ed, Printed Circuits Handbook, McGraw Hill, ISBN number 0070127549.

11.1.2 电介质类型和电路板结构

信号在电路板上传输的速度决定了电介质的选择。通常，FR-4 或类似材料能够提供足够的性能来用于传输 LVDS 信号。如果 TTL/CMOS 信号的上升或下降时间小于 500ps，经验结果表明，介电常数接近 3.4 的材料（例如 Rogers™ 4350 或 Nelco N4000-13）更为适合。设计人员选择电介质后，有几个与电路板结构相关的参数可能会影响性能。以下一组准则是通过几个涉及 LVDS 器件的设计经过实验而开发出来的：

- 覆铜重量：起始重量为 15g 或 1/2 盎司，电镀后达到 30g 或 1 盎司
- 所有外露的电路都应进行镀焊 (60/40)，厚度为 7.62 μm 或 0.0003 英寸（最小值）。
- 在电镀通孔中，镀铜厚度应为 25.4 μm 或 0.001 英寸（最小值）。
- 在裸铜上涂覆阻焊层并进行焊料热气平整

11.1.3 建议的堆叠布局

选择电介质和设计规格后，您必须确定堆叠中使用的级别数量。为了减少 TTL/CMOS 到 LVDS 的串扰，最好至少有两个独立的信号平面，如图 11-3 中所示。

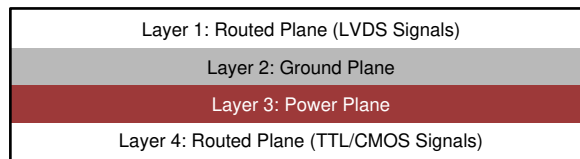


图 11-3. 四层 PCB 板

备注

第 2 层和第 3 层之间的间隔应为 127 μm (0.005 英寸)。通过使电源平面和接地平面保持紧密耦合，增加的电容可用作瞬态的旁路。

最常见的堆叠配置之一是六层板，如图 11-4 所示。

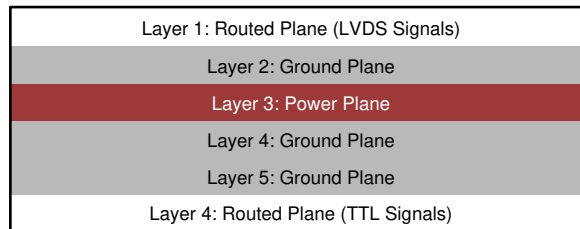


图 11-4. 六层 PCB 板

在这种特定配置中，可以通过至少一个接地平面将每个信号层与电源平面隔离。这样可以提高信号完整性，但是制造成本更高。最好使用 6 层电路板，因为除了确保信号层 1 和 6 基准接地平面之外，它还还为布局设计人员提供了更大的灵活性来改变信号层和基准平面之间的距离。

11.1.4 引线间距

引线间距取决于多个因素；然而，可承受的耦合量通常决定了实际的间距。低噪声耦合需要 LVDS 链路的差分对之间紧密耦合，以从电磁场消除中获益。布线应当以更符合此要求的方式进行 100 Ω 差分耦合。此外，差分对应具有相同的电气长度，以确保平衡，从而更大程度地减少偏差和信号反射的问题。

如果两条单端布线相邻，应使用 3W 规则。该规则规定，两条布线之间的距离必须大于一条布线宽度的两倍，或者从布线中心到布线中心测量的宽度的三倍。这种增加的间距可以有效地降低串扰的可能性。无论是边沿耦合还是宽侧耦合，相邻 LVDS 差分对之间的间隔都应采用相同的规则。

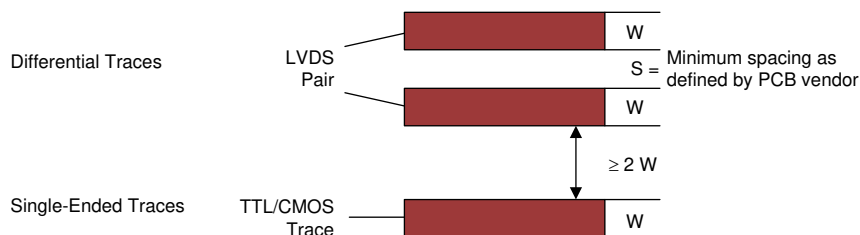


图 11-5. 单端和差分布线的 3W 规则 (顶视图)

使用自动路由器时应小心谨慎，因为它们并不总是考虑影响串扰和信号反射的所有因素。例如，最好避免 90° 转弯，以避免信号路径中的不连续性。使用连续 45° 转弯可尽量减少反射。

11.1.5 串扰和接地反弹最小化

为了减少串扰，必须提供一条尽可能靠近其来源布线的高频电流返回路径。通常，接地平面可以实现这一点。返回电流总是选择电感最低的路径，因此它们很可能直接在原始布线下方返回，从而更大幅度地减少串扰。减小电流环路的面积可以降低发生串扰的可能性。当布线尽可能短，并且其下方有不间断的接地平面时，可以更大幅度地降低电磁场的辐射强度。接地平面中的不连续会增加返回路径的电感，因此应避免这种情况。

11.1.6 去耦

高速器件的每个电源或接地引线都应通过低电感路径连接到 PCB。为了获得更好的结果，应使用一个或多个过孔将电源或接地引脚连接到附近的平面。理想情况下，过孔放置在与该引脚紧邻的位置，以避免增加布线电感。电源平面放置在更靠近电路板顶部的位置可以减小有效过孔长度及其相关电感。

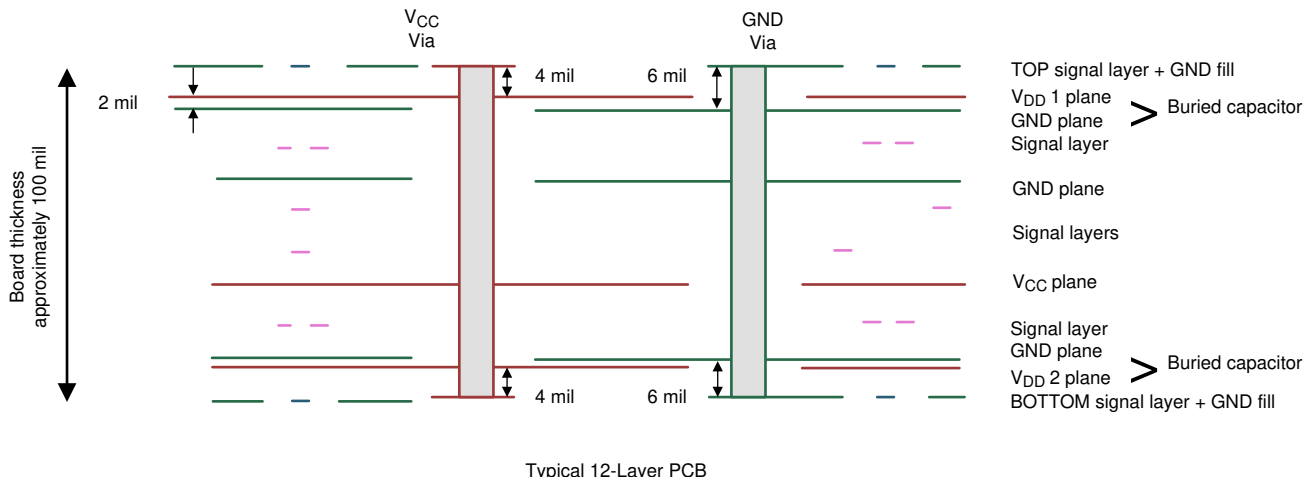


图 11-6. 低电感、高电容电源连接

旁路电容器应靠近 V_{DD} 引脚放置，可方便地放置在角落附近或封装下方，从而更最大限度地减小环路面积。这会扩展所增加电容的有用频率范围。应使用小尺寸电容器（例如 0402 甚至 0201）或 X7R 表面贴装电容器来尽可能减小电容器的体电感。每个旁路电容器均通过与电容器焊盘相切的过孔连接到电源平面和接地平面，如图 11-7(a) 所示。

尺寸为 0402 的 X7R 表面贴装电容器具有大约 0.5nH 的体电感。在高于 30MHz 左右的频率下，X7R 电容器充当低阻抗电感器。为了将工作频率范围扩展到几百 MHz，通常并联使用一系列不同容值的电容器，例如 100pF、1nF、0.03μF 和 0.1μF。最有效的旁路电容器可使用夹在电源和接地之间的 2mil 至 3mil 隔层来构建。使用 2mil FR4 电介质时，PCB 的每平方英寸电感约为 500pF。如需了解一些示例，请参阅图 5-1。许多高速器件都在封装的背面提供低电感 GND 连接。该中心 DAP 必须通过一组过孔连接到接地平面。过孔阵列可降低接地的有效电感，并提高小型表面贴装技术 (SMT) 封装的热性能。在 DAP 连接的周边放置过孔可确保适当的散热并尽可能降低芯片温度。使用两个 GND 平面将高性能器件放置在 PCB 的相对侧（如图 9-3 所示）会创建多条热传递路径。通常，PCB 热问题是一个器件向另一个器件传递热量而导致的，从而导致局部温度非常高。存在多条热传递路径可以最大限度地降低这种可能性。虽然 GND DAP 对散热非常重要，但是在许多情况下，由于焊盘与 DAP 之间的间距不足，该 DAP 导致无法实现最佳去耦布局，如图 11-7(b) 所示。发生这种情况时，将去耦电容器放置在电路板的背面可以尽可能地减少额外的电感。重要的是，将 V_{DD} 过孔尽可能靠近器件引脚放置，同时仍能提供足够的阻焊层覆盖区域。如果过孔保持开放状态，焊料可能从焊盘流入过孔套管。这将导致焊接连接不良。



图 11-7. 典型去耦电容布局

11.2 布局示例

为了尽量减少串扰，单端布线和差分对之间的间距至少应为单个布线宽度的两倍或三倍。通常，如果并行的单端布线长度小于上升或下降时间的波长，则串扰可以忽略不计。对于长距离并行运行，增加信号路径之间的间距可以减少串扰。空间有限的电路板可从交错布线布局中受益，如图 11-8 所示。

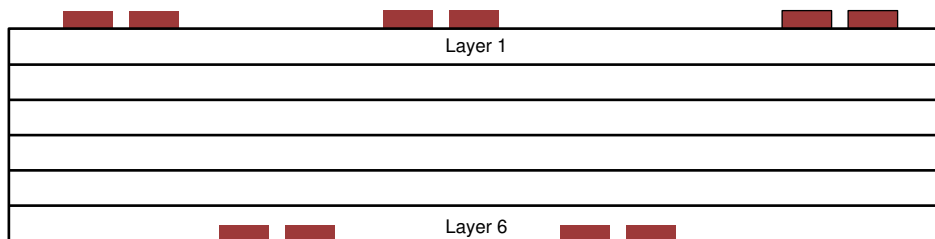


图 11-8. 交错布线布局

这种配置在不同的层上布置交替信号布线；因此，布线之间的水平间距可能小于单个布线宽度的 2 或 3 倍。为确保接地信号路径的连续性，TI 建议为每个信号过孔设置一个相邻的接地过孔，如图 11-9 所示。请注意，过孔会产生额外的电容。例如，典型过孔在 FR4 中具有 1/2pF 至 1pF 的集总电容效应。

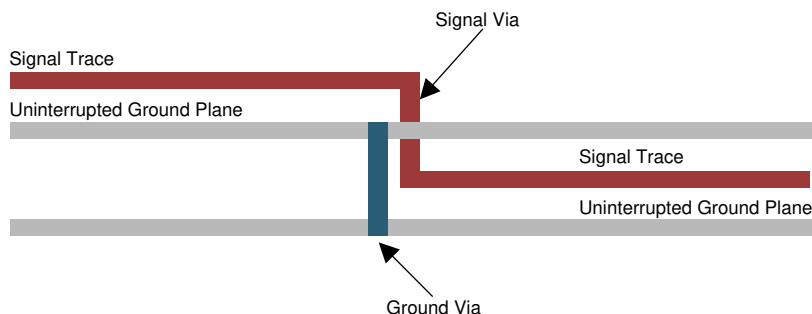


图 11-9. 接地过孔位置 (侧视图)

器件接地引脚与 PCB 接地平面之间的短距离低阻抗连接可减少接地反弹。接地平面中的孔和切口如果产生不连续性，从而导致返回电流环路面积增加，则会对电流返回路径产生不利影响。

为更大限度地减少 EMI 问题，TI 建议避免布线下方的不连续性（例如孔、缝隙等），并尽可能缩短布线。通过将类似的功能放置在同一个区域，而不是将它们混合在一起，来明智地对电路板进行分区，有助于减少易感性问题。

12 器件和文档支持

12.1 器件支持

12.1.1 其他 LVDS 产品

有关 LVDS 和 LVDM 产品系列的其他产品和应用手册，请访问我们的网站：<http://www.ti.com/sc/datatran>。

12.2 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

12.3 文档支持

12.3.1 相关信息

IBIS 建模可用于该器件。如需更多信息，请联系当地的 TI 销售办事处或访问 TI 网站，网址为 www.ti.com。

如需更多应用指南，请参阅以下文档：

- IC 封装热指标 (SPRA953)
- 受控阻抗传输线路 (SNLA187)
- 微带与带状线拓扑 (SLLD009)

12.4 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.5 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

12.6 商标

Rogers™ is a trademark of Rogers Corporation.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

12.7 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.8 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

13 修订历史记录

Changes from Revision L (July 2014) to Revision M (March 2024)

Page

- 更新了整个文档中的表格、图和交叉参考的编号格式..... 1

Changes from Revision K (November 2008) to Revision L (July 2014)

Page

- 添加了引脚配置和功能部分、ESD 等级表、特性说明部分、器件功能模式、应用和实现部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分.....1
-

14 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65LVDS1D	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS1
SN65LVDS1D.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS1
SN65LVDS1DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SAAI
SN65LVDS1DBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SAAI
SN65LVDS1DBVRG4	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SAAI
SN65LVDS1DBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SAAI
SN65LVDS1DBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SAAI
SN65LVDS1DBVTG4	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SAAI
SN65LVDS1DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS1
SN65LVDS1DR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS1
SN65LVDS1DRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS1
SN65LVDS1DRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS1
SN65LVDS2D	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-	LVDS2
SN65LVDS2D.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS2
SN65LVDS2DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SABI
SN65LVDS2DBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SABI
SN65LVDS2DBVRG4	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SABI
SN65LVDS2DBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SABI
SN65LVDS2DBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SABI
SN65LVDS2DBVTG4	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SABI
SN65LVDS2DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS2
SN65LVDS2DR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDS2
SN65LVDT2D	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-	LVDT2
SN65LVDT2D.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDT2
SN65LVDT2DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SACI
SN65LVDT2DBVR.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SACI
SN65LVDT2DBVRG4	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SACI
SN65LVDT2DBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SACI
SN65LVDT2DBVT.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SACI

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65LVDT2DBVTG4	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	SACI
SN65LVDT2DG4	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	See SN65LVDT2D	LVDT2
SN65LVDT2DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDT2
SN65LVDT2DR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVDT2

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65LVDS1DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN65LVDS1DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN65LVDS1DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65LVDS1DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65LVDS2DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN65LVDS2DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN65LVDS2DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65LVDT2DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN65LVDT2DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN65LVDT2DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65LVDS1DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN65LVDS1DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN65LVDS1DR	SOIC	D	8	2500	353.0	353.0	32.0
SN65LVDS1DRG4	SOIC	D	8	2500	353.0	353.0	32.0
SN65LVDS2DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN65LVDS2DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN65LVDS2DR	SOIC	D	8	2500	353.0	353.0	32.0
SN65LVDT2DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN65LVDT2DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN65LVDT2DR	SOIC	D	8	2500	340.5	336.1	25.0

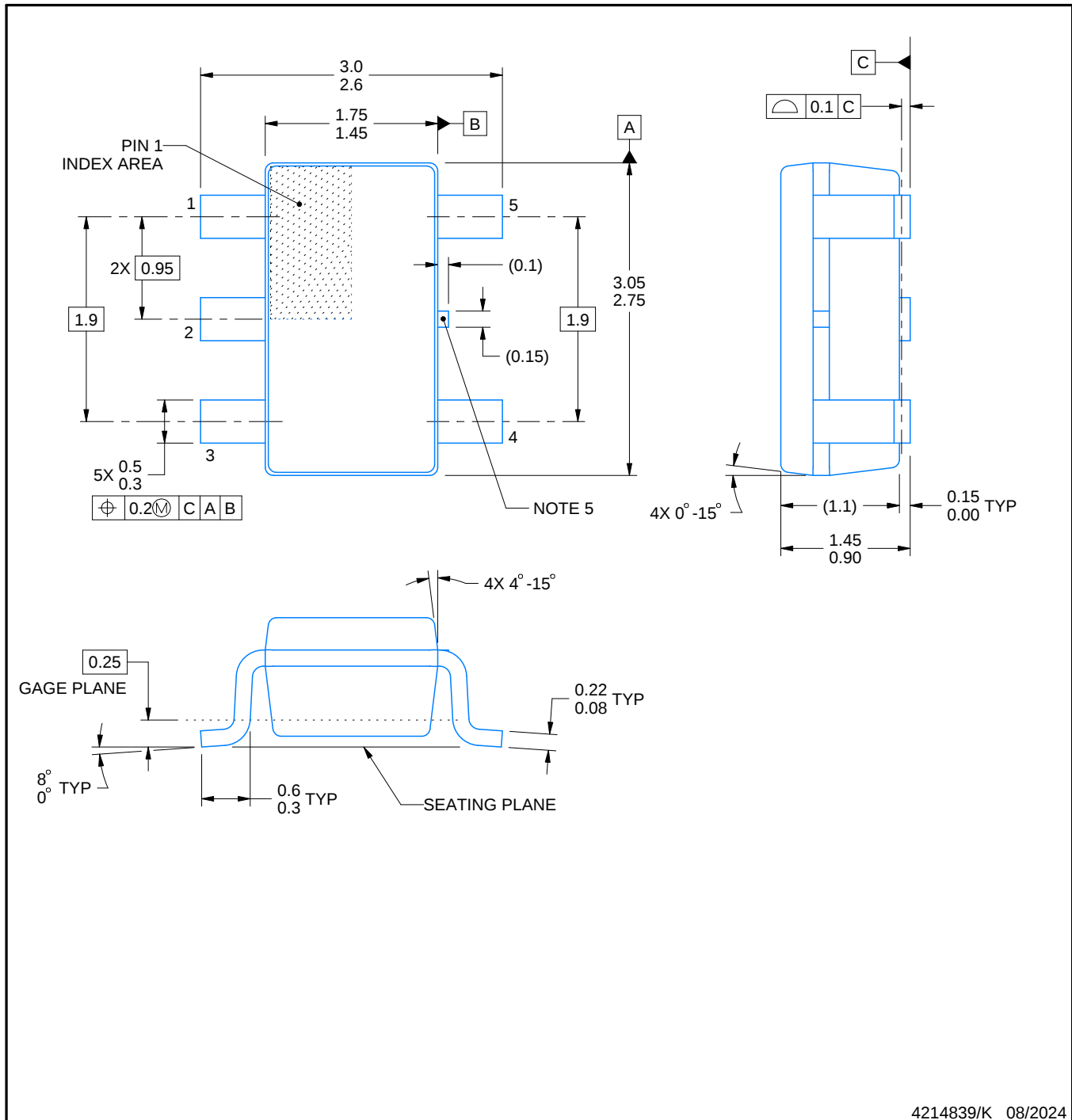
TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN65LVDS1D	D	SOIC	8	75	507	8	3940	4.32
SN65LVDS1D.B	D	SOIC	8	75	507	8	3940	4.32
SN65LVDS2D	D	SOIC	8	75	507	8	3940	4.32
SN65LVDS2D.B	D	SOIC	8	75	507	8	3940	4.32
SN65LVDT2D	D	SOIC	8	75	507	8	3940	4.32
SN65LVDT2D.B	D	SOIC	8	75	507	8	3940	4.32
SN65LVDT2DG4	D	SOIC	8	75	507	8	3940	4.32

DBV0005A**PACKAGE OUTLINE****SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

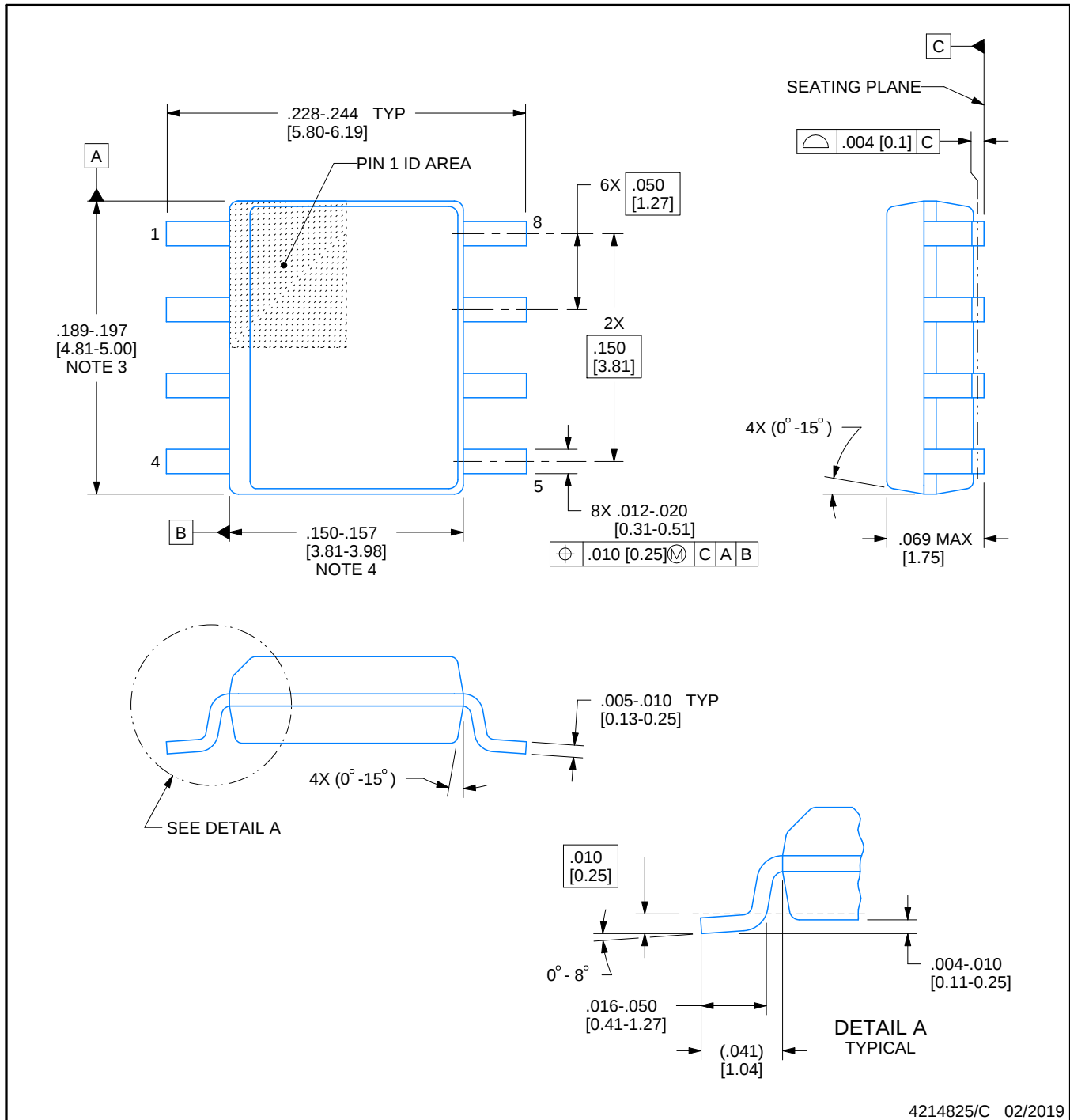


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

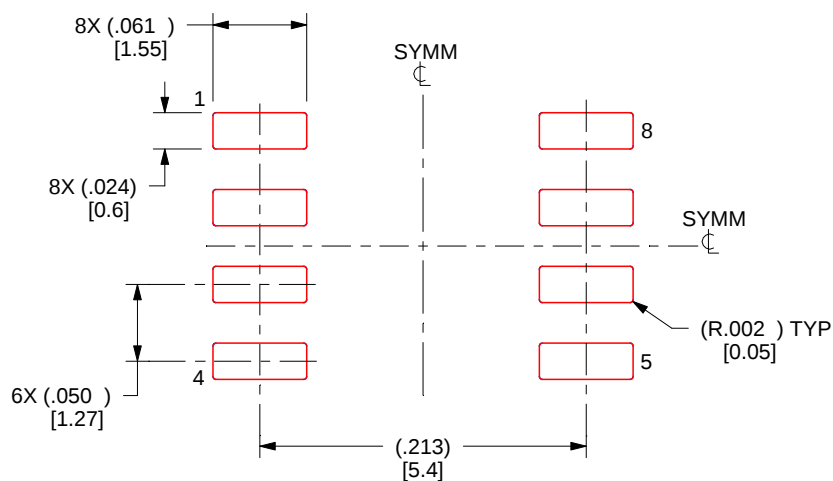
6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司