

SN65HVD3x-EP 3.3V 全双工 RS-485 驱动器和接收器

1 特性

- 可提供 1/8 单位负载选项 (总线上多达 256 个节点)
- 总线引脚 ESD 保护超过 15 kV HBM
- 信令速率的可选驱动器输出转换次数有 1Mbps、5Mbps 和 25Mbps 可选。¹
- 低电流待机模式: $<1\ \mu\text{A}$
- 用于热插拔应用的无干扰上电和断电保护
- 5V 耐压输入
- 总线空闲、开路和短路失效防护
- 驱动器电流限制和热关断
- 符合或超出 ANSI TIA/EIA-485-A 和 RS-422 的要求

2 应用

- 公用事业计量表
- DTE 和 DCE 接口
- 工业、工艺和构建自动化
- 销售点 (POS) 终端和网络
- 受控基线
- 一个封装测试厂
- 一个制造基地
- 支持军用 ($-55^{\circ}\text{C}/125^{\circ}\text{C}$) 温度范围
- 延长了产品生命周期
- 延长了产品变更通知
- 产品可追溯性

3 说明

SN65HVD3x-EP 器件是采用 3V 电源供电的三态差分线路驱动器和差分输入线路接收器。

每个驱动器和接收器都具有用于全双工总线通信设计的独立输入和输出引脚。它们专为平衡传输线路而设计, 可与符合 ANSI TIA/EIA-485A、TIA/EIA-422-B、ITU-T v.11 和 ISO 8482:1993 标准的器件进行互操作。

SN65HVD30 已完全启用, 无需外部使能引脚。

SN65HVD33 具有高电平有效的驱动器使能引脚和低电平有效的接收器使能引脚。禁用驱动器和接收器后可获得低待机电流 (低于 $1\ \mu\text{A}$)。

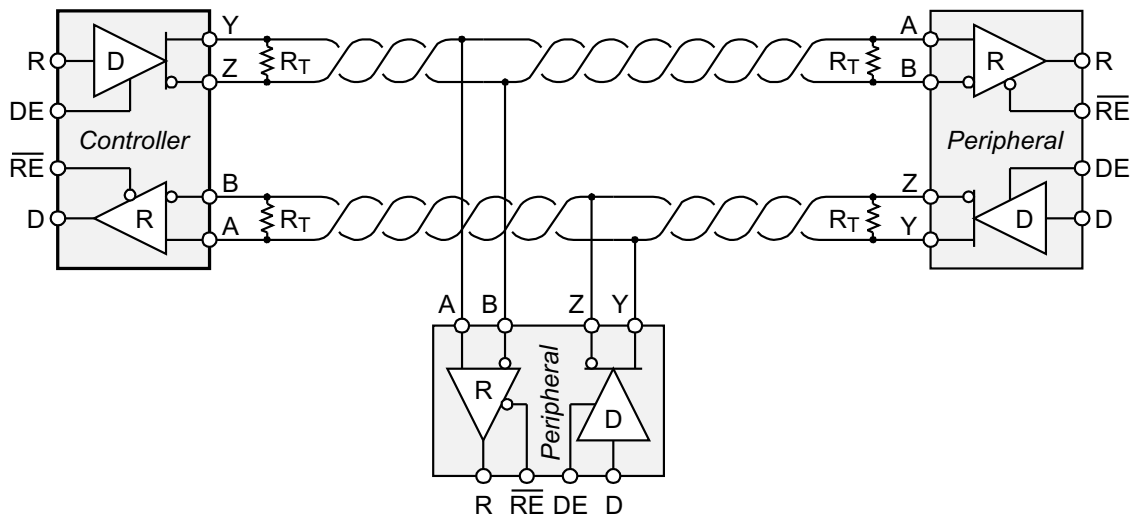
所有器件的工作温度范围是 -55°C 至 125°C 。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
SN65HVD3x-EP	SOIC (8)	4.9mm x 6mm
	SOIC (14)	8.65mm x 6mm

(1) 有关详细信息, 请参阅节 12。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



典型应用原理图

¹ 线路的信令速率是指每秒钟的电压转换次数, 单位为 bps (每秒比特数)。



内容

1 特性	1	8.1 概述	13
2 应用	1	8.2 功能方框图	13
3 说明	1	8.3 特性说明	13
4 器件比较	2	8.4 器件功能模式	17
5 引脚配置和功能	3	9 应用和实施	19
6 规格	4	9.1 应用信息	19
6.1 绝对最大额定值.....	4	9.2 典型应用	19
6.2 ESD 等级.....	4	9.3 电源相关建议	23
6.3 建议运行条件.....	5	9.4 布局	23
6.4 热性能信息.....	5	10 器件和文档支持	24
6.5 功耗额定值.....	5	10.1 第三方产品免责声明	24
6.6 电气特性：驱动器.....	6	10.2 接收文档更新通知	24
6.7 电气特性：接收器.....	7	10.3 支持资源	24
6.8 开关特性：驱动器.....	8	10.4 商标	24
6.9 开关特性：接收器.....	8	10.5 静电放电警告	24
6.10 典型特性.....	9	10.6 术语表	24
7 参数测量信息	10	11 修订历史记录	24
8 详细说明	13	12 机械、封装和可订购信息	24

4 器件比较

表 4-1. 提供的选项

BASE 器件型号	信令速率	单位负载	接收器均衡	使能	SOIC 标记 ⁽¹⁾
SN65HVD30MDREP	25Mbps	1/2	否	否	HVD30EP
SN65HVD33MDREP	25Mbps	1/2	否	是	HVD33EP

(1) 有关最新的封装和订购信息，请参阅本文档结尾的“封装选项附录”，或访问 TI 网站：www.ti.com。

表 4-2. 改进的替换器件

器件型号	替换为	说明
xxx3491 xxx3490	SN65HVD33 SN65HVD30	更好的 ESD 保护 (15kV 与 2kV 或未指定)、更高的信令速率 (25Mbps 与 20Mbps)、分数单位负载 (64 个节点与 32 个节点)
MAX3491E MAX3490E	SN65HVD33 SN65HVD30	更高的信令速率 (25Mbps 与 12Mbps)、分数单位负载 (64 个节点与 32 个节点)
MAX3076E MAX3077E	SN65HVD33 SN65HVD30	更高的信令速率 (25Mbps 与 16Mbps)、更低的待机电流 (1 μ A 与 10 μ A)

5 引脚配置和功能

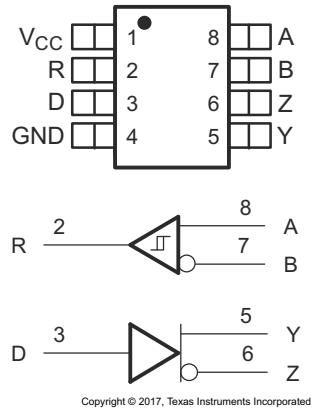
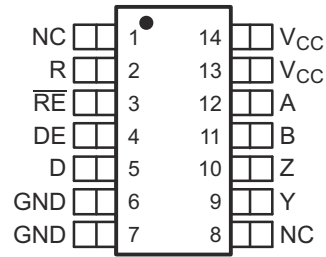


图 5-1. D 封装，8 引脚 SOIC
(顶视图)



NC - No internal connection
Pins 6 and 7 are connected together internally
Pins 13 and 14 are connected together internally

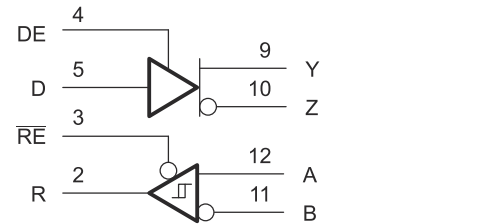


图 5-2. D 封装，14 引脚 SOIC
(顶视图)

表 5-1. 引脚功能

名称	引脚		类型	说明
	D (8-PIN)	D (14-PIN)		
A	8	12	总线输入	接收器输入 (与 B 互补)
B	7	11	总线输入	接收器输入 (与 A 互补)
D	3	5	数字输入	驱动器数据输入
DE	—	4	数字输入	驱动器使能, 高电平有效
GND	4	6、7	基准电位	本地器件接地
NC	—	1、8	无连接	无连接; 必须悬空
R	2	2	数字输出	接收数据输出
RE	—	3	数字输出	接收器使能, 低电平有效
V _{CC}	1	13、14	电源	3V 至 3.6V 电源
Y	5	9	总线输出	驱动器输出 (与 Z 互补)
Z	6	10	总线输出	驱动器输出 (与 Y 互补)

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

		最小值	最大值	单位
V_{CC}	电源电压范围	-0.3	6	V
$V_{(A)}$ 、 $V_{(B)}$ 、 $V_{(Y)}$ 、 $V_{(Z)}$	任何总线端子 (A、B、Y、Z) 上的电压范围	-9	14	V
$V_{(TRANS)}$	电压输入, 通过 100 Ω 电阻的瞬态脉冲 (请参阅 图 7-12) (A、B、Y、Z) (3)	-50	50	V
V_I	输入电压范围 (D、DE、 $\overline{RE}$)	-0.5	7	V
$P_{D(cont)}$	持续总功率耗散	受内部限制(4)		
I_O	输出电流 (仅接收器输出 R)		11	mA
T_J	结温		165	°C
T_{stg}	贮存温度范围	-65	150	°C

- (1) 超出最大绝对额定值下列出的值的应力可能会对器件造成永久损坏。这些仅为应力额定值, 并不表明器件在这些额定值下或者任何其他超过建议工作条件所标明的条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 除差分 I/O 总线电压外的所有电压值都是相对于网络接地引脚的值。
- (3) 这仅测试承受能力, 且未指定接收器输出状态。
- (4) 热关断保护电路在内部限制了持续总功率耗散。当结温达到 165°C 时, 通常会发生热关断。

6.2 ESD 等级

			最小值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚(1)	总线引脚和 GND	±16000	V
		所有引脚	±4000	
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚(2)		±1000	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V _{CC}	电源电压		3		3.6	V
V _I 或 V _{IC}	任何总线端子上的电压（独立或共模）		-7 ⁽¹⁾		12	V
1/t _{UI}	信令速率	'HVD30、'HVD33			25	Mbps
R _L	差分负载电阻		54	60		Ω
V _{IH}	高电平输入电压	D、DE、 $\overline{RE}$	2		V _{CC}	V
V _{IL}	低电平输入电压	D、DE、 $\overline{RE}$	0		0.8	V
V _{ID}	差分输入电压		-12		12	V
I _{OH}	高电平输出电流	驱动器	-60			mA
		接收器	-8			
I _{OL}	低电平输出电流	驱动器			60	mA
		接收器			8	
T _A	环境静止空气温度		-55		125 ⁽²⁾	°C

- (1) 本数据表采用将最小正值（最大负值）指定为最小值的代数约定。
(2) 长期高温贮存和/或在最大建议运行条件下超期使用可能会导致器件总体使用寿命缩短。有关增强型塑料封装的更多信息，请参阅 http://www.ti.com/ep_quality。

6.4 热性能信息

热指标 ⁽¹⁾		D (SOIC)	D (SOIC)	单位
		8 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	135	92	$^{\circ}\text{C/W}$
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	43	59	$^{\circ}\text{C/W}$
$R_{\theta JB}$	结至电路板热阻	44	61	$^{\circ}\text{C/W}$
ψ_{JT}	结至顶部特征参数	12.1	5.7	$^{\circ}\text{C/W}$
ψ_{JB}	结至电路板特征参数	49.7	30.7	$^{\circ}\text{C/W}$
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	$^{\circ}\text{C/W}$

- (1) 有关新旧热指标的更多信息，请参阅 *IC 封装热指标* 应用报告 [SPRA953](#)。

6.5 功耗额定值

参数	器件	测试条件	最小值	最大值	单位
P_D	'HVD30 (25Mbps)	$R_L = 60\ \Omega$ ， $C_L = 50\text{pF}$ ， 输入到 D 在指定信令速率下的 50% 占空比方波， $T_A = 85^{\circ}\text{C}$		197	mW
	'HVD33 (25Mbps)	$R_L = 60\ \Omega$ ， $C_L = 50\text{pF}$ ，DE 电压为 V_{CC} ， $\overline{RE}$ 电压为 0V， 输入到 D 在指定信令速率下的 50% 占空比方波， $T_A = 85^{\circ}\text{C}$		197	mW

6.6 电气特性：驱动器

在建议运行条件下测得（除非另有说明）

参数			测试条件	最小值	典型值 (1)	最大值	单位	
$V_{I(K)}$	输入钳位电压		$I_I = -18\text{mA}$	-1.5			V	
$ V_{OD(SS)} $	稳态差分输出电压		$I_O = 0$	2.3		$V_{CC} + 0.1$	V	
			$R_L = 54\ \Omega$ ，请参阅 图 7-1 (RS-485)	1.5	2			
			$R_L = 100\ \Omega$ ，请参阅 图 7-1 (RS-422)	2	2.3			
			$V_{\text{test}} = -7\text{V}$ 至 12V ，请参阅 图 7-2	1.5				
$\Delta V_{OD(SS)} $	状态间稳态差分输出电压幅度的变化		$R_L = 54\ \Omega$ ，请参阅 图 7-1 和 图 7-2	-0.2		0.2	V	
$V_{OD(RING)}$	差分输出电压过冲和下冲		$R_L = 54\Omega$ ， $C_L = 50\text{pF}$ ，请参阅 图 7-5 和 图 7-3			10%(2)	V	
$V_{OC(PP)}$	峰峰值共模输出电压	'HVD30、'HVD33	请参阅 图 7-4		0.5		V	
$V_{OC(SS)}$	稳定状态共模输出电压		请参阅 图 7-4	1.6		2.3	V	
$\Delta V_{OC(SS)}$	稳态共模输出电压的变化		请参阅 图 7-4	-0.05		0.05	V	
$I_{Z(Z)}$ 或 $I_{Y(Z)}$	高阻抗状态输出 电流	'HVD30	$V_{CC} = 0\text{V}$ ， V_Z 或 $V_Y = 12\text{V}$ ， 其他输入为 0V			90	μA	
			$V_{CC} = 0\text{V}$ ， V_Z 或 $V_Y = -7\text{V}$ ， 其他输入为 0V		-10			
		'HVD33	$V_{CC} = 3\text{V}$ 或 0V ， $\text{DE} = 0\text{V}$ ， V_Z 或 $V_Y = 12\text{V}$	其他输入 为 0V		90		
			$V_{CC} = 3\text{V}$ 或 0V ， $\text{DE} = 0\text{V}$ ， V_Z 或 $V_Y = -7\text{V}$		-10			
$I_{Z(S)}$ 或 $I_{Y(S)}$	短路输出电流		V_Z 或 $V_Y = -7\text{V}$	其他输入 为 0V	± 250	mA		
			V_Z 或 $V_Y = 12\text{V}$					
I_I	输入电流	D、DE		0		100	μA	
$C_{(OD)}$	差分输出电容		$V_{OD} = 0.4\sin(4\text{E}6\ \pi\ t) + 0.5\text{V}$ ，DE 电压为 0V		16		pF	

(1) 所有典型值均在 25°C 和 3.3V 电源的条件下测得。

(2) 峰值间差分输出电压的摆幅为 10%，符合 TIA/EIA-485 标准

6.7 电气特性：接收器

在建议运行条件下测得（除非另有说明）

参数		测试条件		最小值	典型值 (1)	最大值	单位		
V _{IT+}	正向差分输入阈值电压	I _O = -8mA				-0.02	V		
V _{IT-}	负向差分输入阈值电压	'HVD30	I _O = 8mA			-0.15	V		
		'HVD33				-0.2			
V _{hys}	磁滞电压 (V _{IT+} - V _{IT-})					50	mV		
V _{IK}	使能输入钳位电压	I _I = -18mA				-1.5	V		
V _O	输出电压	V _{ID} = 200mV, I _O = - 8mA, 请参阅 图 7-8				2.4	V		
		V _{ID} = -200mV, I _O = 8mA, 请参阅 图 7-8				0.4			
I _{O(Z)}	高阻抗状态输出电流	V _O = 0 或 V _{CC} , $\overline{\text{RE}}$ 电压为 V _{CC}				-1	1	μ A	
I _A 或 I _B	总线输入电流	'HVD30、'HVD33	V _A 或 V _B = 12V	其他输入 为 0V			0.20	0.35	mA
			V _A 或 V _B = 12V, V _{CC} = 0V				0.24	0.4	
			V _A 或 V _B = -7V				-0.35	-0.18	
			V _A 或 V _B = -7V, V _{CC} = 0V				-0.25	-0.13	
I _{IH}	输入电流, $\overline{\text{RE}}$	V _{IH} = 0.8V 或 2V				-60			μ A
C _{ID}	差分输入电容	V _{ID} = 0.4sin(4E6 π t) + 0.5V, DE 电压为 0V				15			pF
电源电流									
I _{CC}	电源电流	'HVD30	D 电压为 0V 或 V _{CC} , 空载				2.1	mA	
		'HVD33	$\overline{\text{RE}}$ 电压为 0V, D 电压为 0V 或 V _{CC} , DE 电压为 0V, 无负载 (接收器启用, 驱动器禁用)				1.8	mA	
		'HVD33	$\overline{\text{RE}}$ 电压为 V _{CC} , D 电压为 V _{CC} , DE 电压为 0V, 空载 (接收器和驱动器均禁用)		0.022	1.5		μ A	
		'HVD33	$\overline{\text{RE}}$ 电压为 0V, D 电压为 0V 或 V _{CC} , DE 电压为 V _{CC} , 空载 (接收器和驱动器均启用)				2.1	mA	
		'HVD33	$\overline{\text{RE}}$ 电压为 V _{CC} , D 电压为 0V 或 V _{CC} , DE 电压为 V _{CC} , 空载 (接收器禁用, 驱动器启用)				1.8	mA	

(1) 所有典型值均在 25°C 和 3.3V 电源的条件下测得。

6.8 开关特性：驱动器

在建议运行条件下测得（除非另有说明）

参数			测试条件		最小值	典型值	最大值	单位
t_{PLH}	传播延迟时间， 低电平到高电平输出	'HVD30、'HVD33	$R_L = 54\Omega$, $C_L = 50pF$, 请参阅图 7-5		4	10	23	ns
t_{PHL}	传播延迟时间， 高电平到低电平输出	'HVD30、'HVD33			4	9	23	ns
t_r	差分输出信号 上升时间	'HVD30、'HVD33			2.5	5	18	ns
t_f	差分输出信号 下降时间	'HVD30、'HVD33			2.5	5	18	ns
$t_{sk(p)}$	脉冲偏移 ($ t_{PHL} - t_{PLH} $)	'HVD30、'HVD33			0.6			ns
t_{PZH1}	传播延迟时间，高阻抗至高电平 输出	'HVD33	$R_L = 110\Omega$, $\overline{RE}$ 电压为 0V, $D = 3V$ 且 $S1 = Y$, 或 $D = 0V$ 且 $S1 = Z$, 请参阅图 7-6				45	ns
t_{PHZ}	传播延迟，高电平至高阻抗输出	'HVD33					25	ns
t_{PZL1}	传播延迟时间，高阻抗至低电平 输出	'HVD33	$R_L = 110\Omega$, $\overline{RE}$ 电压为 0V, $D = 3V$ 且 $S1 = Z$, 或 $D = 0V$ 且 $S1 = Y$, 请参阅图 7-7				35	ns
t_{PLZ}	传播延迟，低电平至高阻抗输出	'HVD33					30	ns
t_{PZH2}	传播延迟时间，待机到高电平输出	'HVD30	$R_L = 110\Omega$, $\overline{RE}$ 电压为 3V, $D = 3V$ 且 $S1 = Y$, 或 $D = 0V$ 且 $S1 = Z$, 请参阅图 7-6				4000	ns
		'HVD33					5000	
t_{PZL2}	传播延迟时间，待机到低电平输出	'HVD30	$R_L = 110\Omega$, $\overline{RE}$ 电压为 3V, $D = 3V$ 且 $S1 = Z$, 或 $D = 0V$ 且 $S1 = Y$, 请参阅图 7-7				4000	ns
		'HVD33					5000	

6.9 开关特性：接收器

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件		最小值	典型值	最大值	单位
t_{PLH}	传播延迟时间， 低电平到高电平输出	'HVD30、'HVD33	$V_{ID} = -1.5V$ 至 $1.5V$ 、 $C_L = 15pF$, 请参阅图 7-9			26	60	ns
t_{PLH}	传播延迟时间， 高电平到低电平输出	'HVD30、'HVD33				29	60	ns
$t_{sk(p)}$	脉冲偏移 ($ t_{PHL} - t_{PLH} $)	'HVD30、'HVD33					12	ns
t_r	输出信号上升时间	'HVD30					10	ns
		'HVD33					18	
t_f	输出信号下降时间						12.5	ns
t_{PHZ}	从高电平开始的输出禁用时间		DE 为 3V	$C_L = 15pF$, 请参阅图 7-10			20	ns
t_{PZH1}	达到高电平的输出启用时间						20	ns
t_{PZH2}	传播延迟时间，待机到高 电平输出	'HVD30	DE 为 0V				4000	ns
		'HVD33					5000	
t_{PLZ}	从低电平开始的输出禁用时间		DE 为 3V	$C_L = 15pF$, 请参阅图 7-11			20	ns
t_{PZL1}	达到低电平的输出启用时间						20	ns
t_{PZL2}	传播延迟时间，待机到低 电平输出	'HVD30	DE 为 0V				4000	ns
		'HVD33					5000	ns

6.10 典型特性

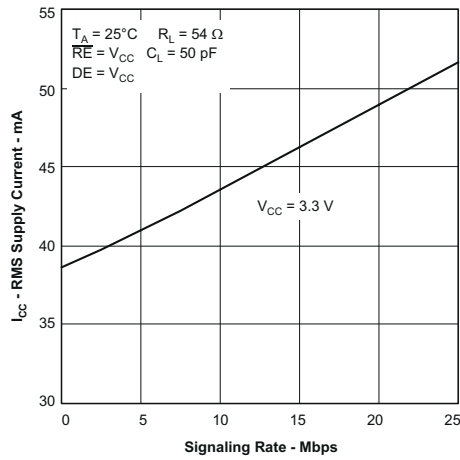


图 6-1. RMS 电源电流信令速率

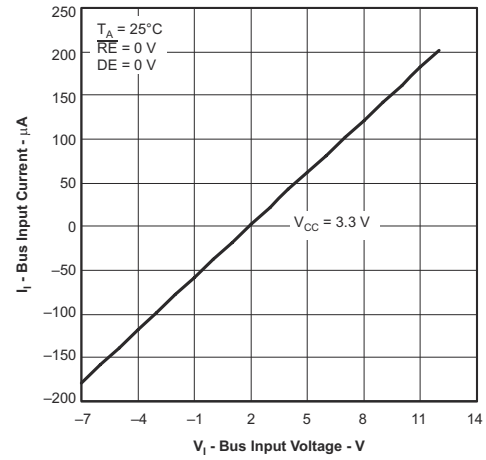


图 6-2. 总线输入电流与输入电压间的关系

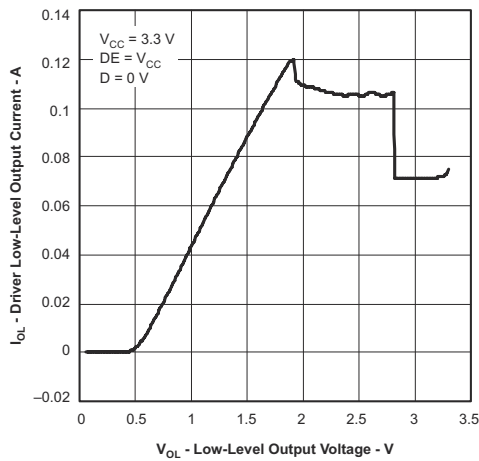


图 6-3. 驱动器低电平输出电流与低电平输出电压间的关系

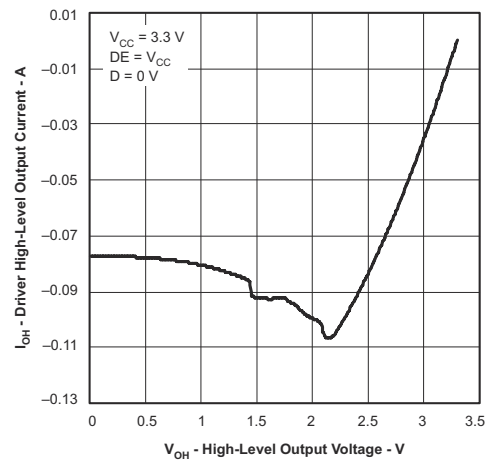


图 6-4. 驱动器高电平输出电流与高电平输出电压间的关系

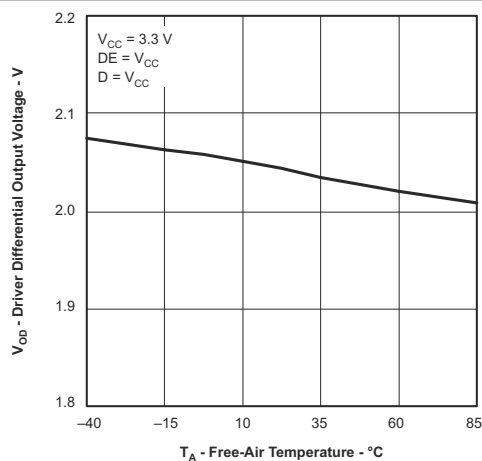


图 6-5. 驱动器差分输出电压与自然通风温度间的关系

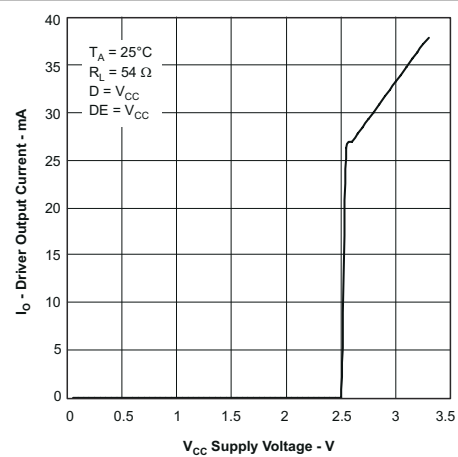


图 6-6. 驱动器输出电流与电源电压间的关系

7 参数测量信息

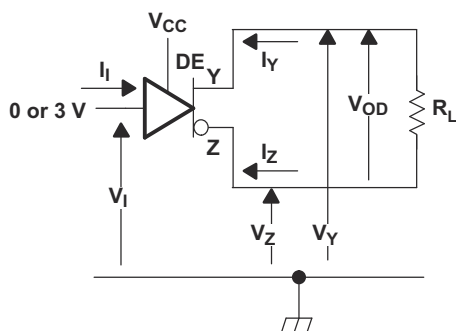


图 7-1. 驱动器 V_{OD} 测试电路及电压和电流定义

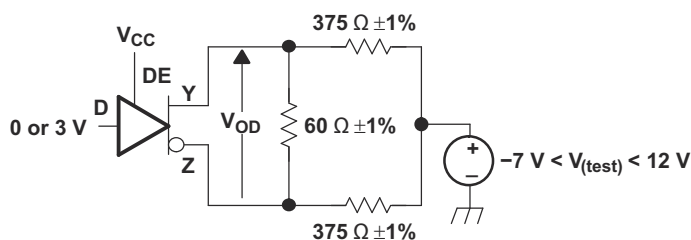


图 7-2. 采用共模负载测试电路的驱动器 V_{OD}

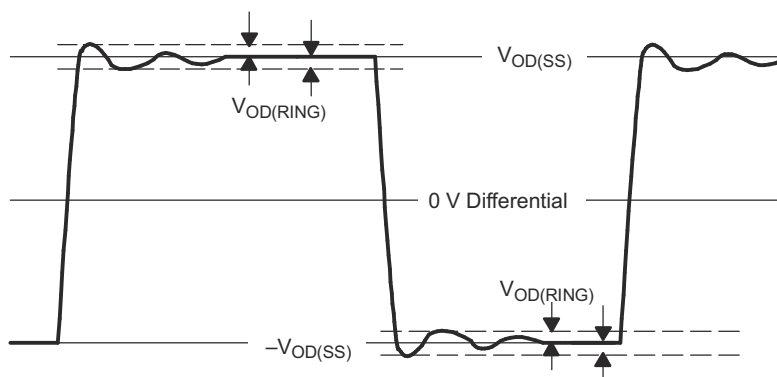
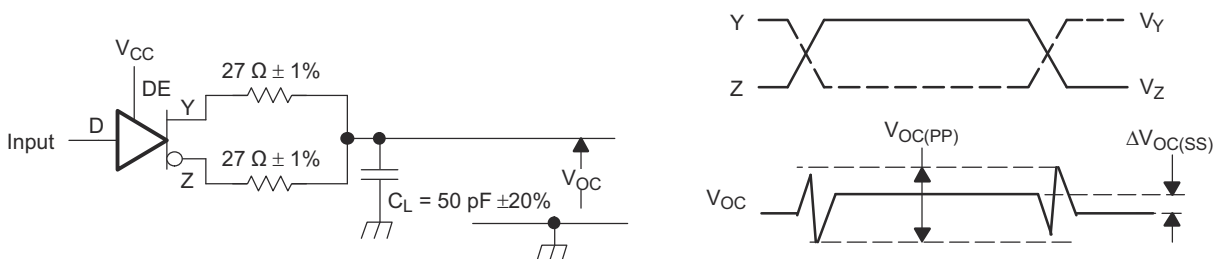


图 7-3. $V_{OD(RING)}$ 波形和定义

$V_{OD(ring)}$ 在输出波形的四个点测得，对应 $V_{OD(H)}$ 和 $V_{OD(L)}$ 稳态值的过冲和下冲。



输入：PRR = 500kHz，50% 占空比， $t_r < 6ns$ ， $t_f < 6ns$ ， $Z_O = 50\Omega$ 。

图 7-4. 驱动器共模输出电压的测试电路和定义

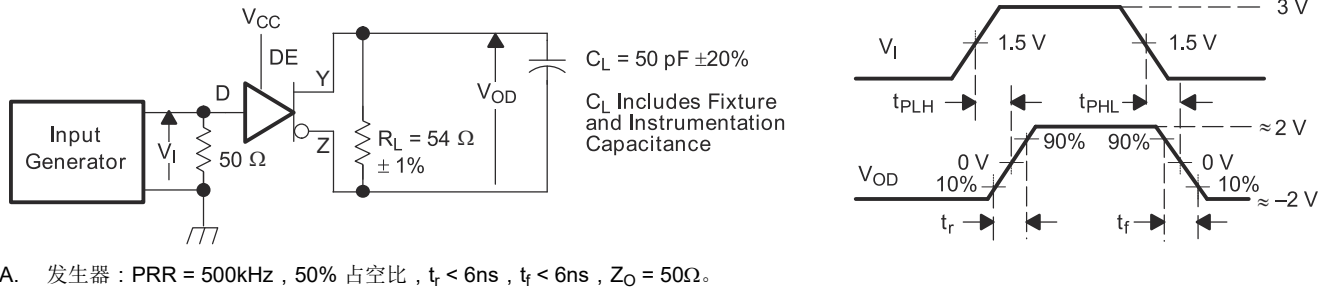


图 7-5. 驱动器开关测试电路和电压波形

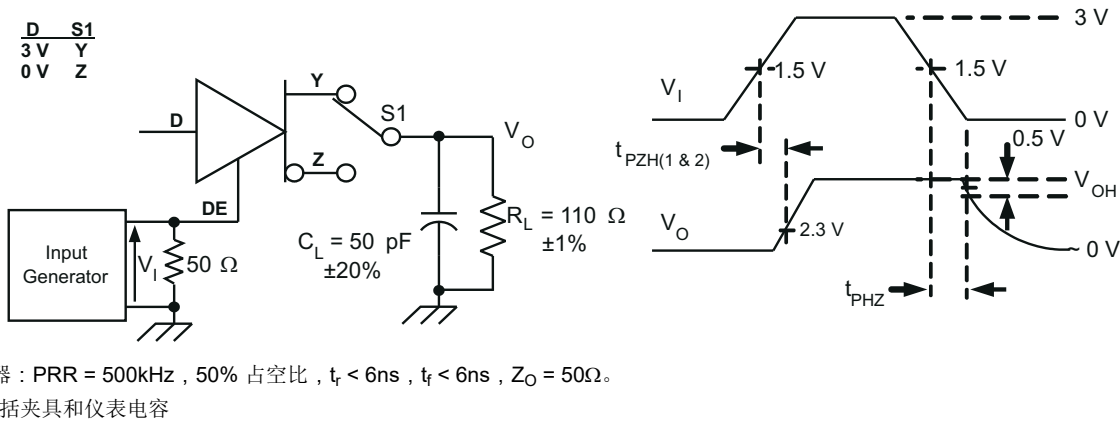


图 7-6. 驱动器高电平输出启用和禁用时间测试电路和电压波形

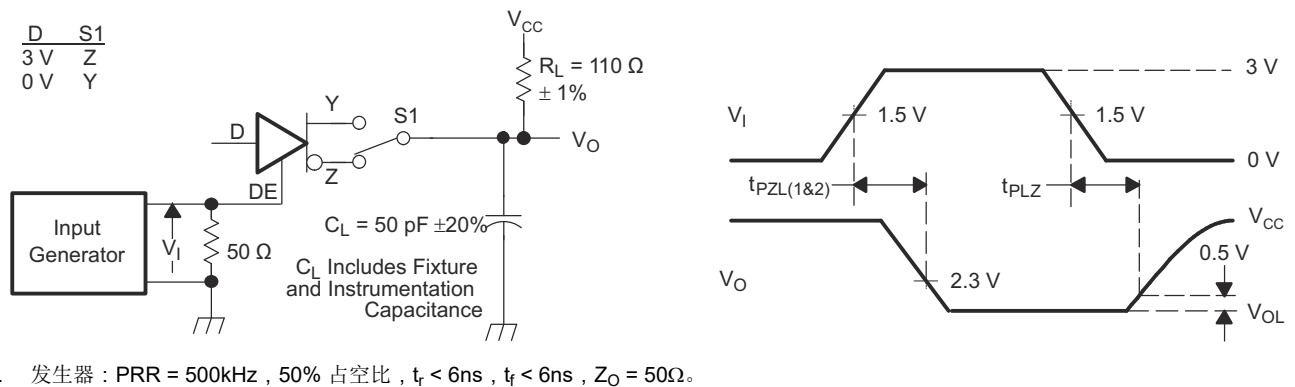


图 7-7. 驱动器低电平输出启用和禁用时间测试电路和电压波形

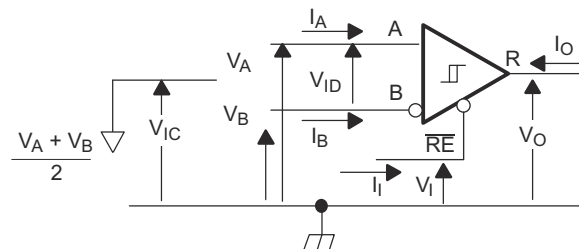
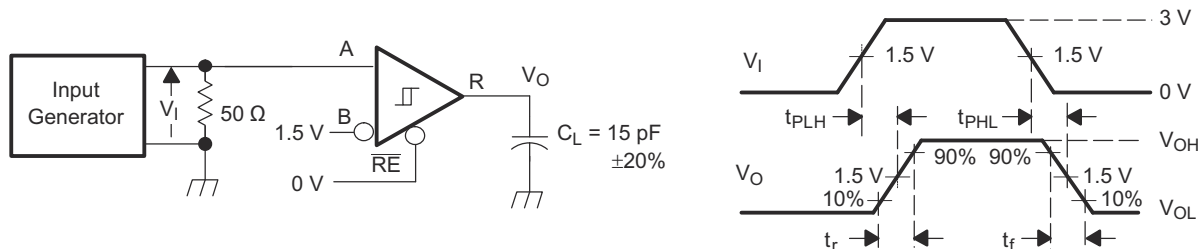
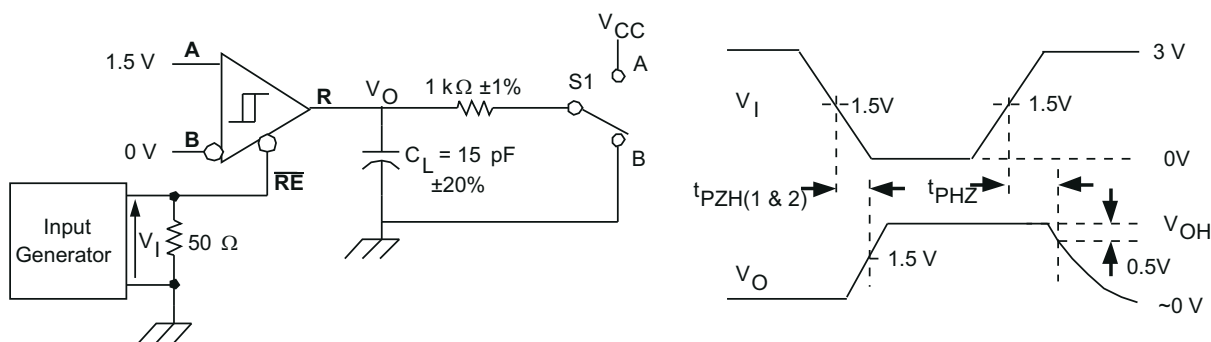


图 7-8. 接收器电压和电流定义



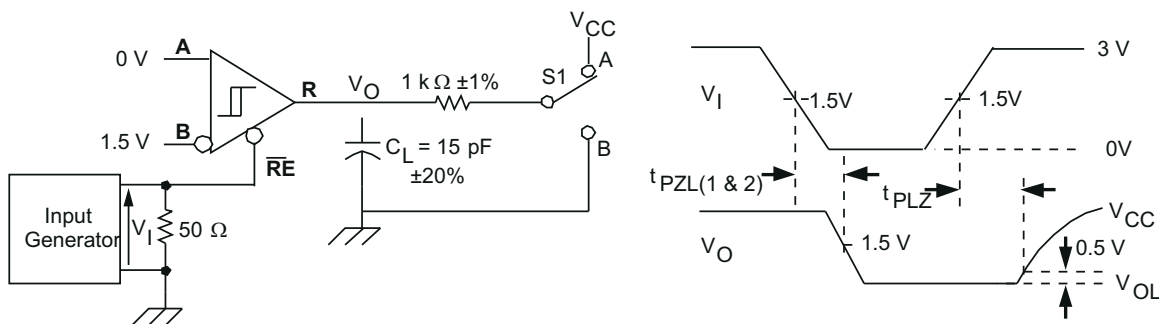
- A. C_L 包括夹具和仪表电容
B. 发生器：PRR = 500kHz，50% 占空比， $t_r < 6\text{ns}$ ， $t_f < 6\text{ns}$ ， $Z_O = 50\Omega$ 。

图 7-9. 接收器开关测试电路和电压波形



- A. 发生器：PRR = 500kHz，50% 占空比， $t_r < 6\text{ns}$ ， $t_f < 6\text{ns}$ ， $Z_O = 50\Omega$ 。

图 7-10. 接收器高电平启用和禁用时间测试电路和电压波形



- A. 发生器：PRR = 500kHz，50% 占空比， $t_r < 6\text{ns}$ ， $t_f < 6\text{ns}$ ， $Z_O = 50\Omega$ 。

图 7-11. 接收器从待机到启用的时间（驱动器被禁用）

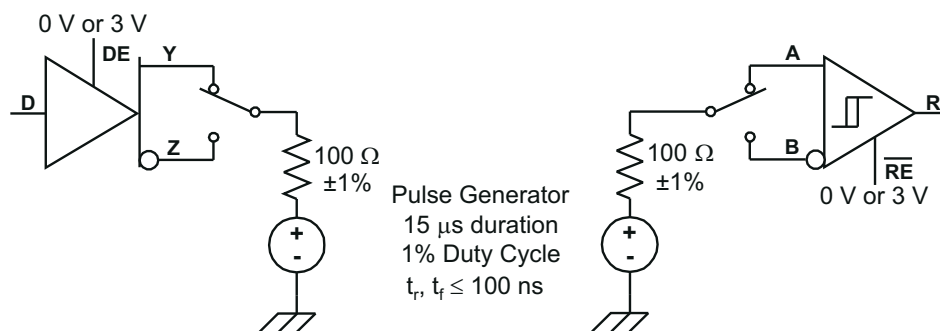


图 7-12. 测试电路，瞬态过压测试

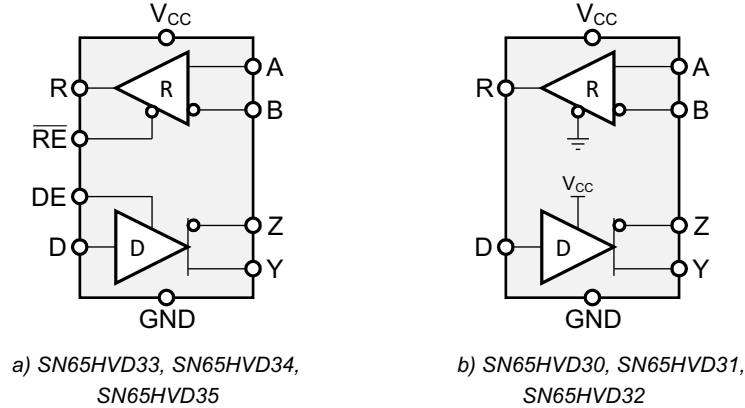
8 详细说明

8.1 概述

SN65HVD3x-EP 是低功耗全双工 RS-485 收发器，提供三种速度等级，适用于速率为 1Mbps、5Mbps 和 25Mbps 的数据传输。

SN65HVD30 已完全启用，无需外部使能引脚。SN65HVD33 具有高电平有效的驱动器使能引脚和低电平有效的接收器使能引脚。禁用驱动器和接收器后可获得低于 1 μ A 的待机电流。

8.2 功能方框图

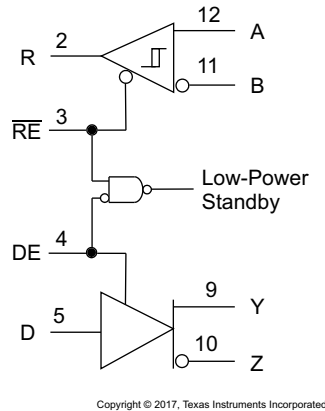


Copyright © 2017, Texas Instruments Incorporated

8.3 特性说明

8.3.1 低功耗待机模式

当驱动器和接收器都被禁用 (DE 为低电平且 $\overline{RE}$ 为高电平) 时，该器件处于待机模式。如果使能输入处于此状态的时间少于 60ns，则器件不会进入待机模式。这可以在驱动器或接收器启用期间，防止器件无意中进入待机模式。仅当使能输入保持此状态 300ns 或更长时间时，器件才进入待机模式。在这种低功耗待机模式下，大多数内部电路会断电，电源电流通常小于 1nA。当重新启用驱动器或接收器时，内部电路会变为激活状态。



Copyright © 2017, Texas Instruments Incorporated

图 8-1. 低功耗待机逻辑图

如果只有驱动器重新启用 (DE 转换至高电平)，则在驱动器开关特性中的 t_{PZH2} 和 t_{PZL2} 给出的启用时间之后，驱动器输出由 D 输入驱动。如果在启用驱动器时 D 输入断开，则根据驱动器失效防护功能，驱动器输出默认为 Y 高电平和 Z 低电平。

如果只有接收器重新启用 ($\overline{RE}$ 转换至低电平)，则在接收器开关特性中的 t_{pZH2} 和 t_{pZL2} 给出的启用时间之后，接收器输出将根据总线输入的状态 (**A** 和 **B**) 驱动。如果总线上没有有效状态，则接收器将按照失效防护操作部分所述进行响应。

如果接收器和驱动器同时重新启用，则会根据总线输入的状态 (**A** 和 **B**) 驱动接收器输出，并根据 **D** 输入驱动驱动器输出。

备注

启用的驱动器的状态会影响接收器的输入。因此，只要驱动器输出有效，接收器输出就有效。

8.3.2 驱动器输出电流限制

RS-485 标准 (ANSI/TIA/EIA-485-A 或等效于 ISO 8482) 指定了 250mA 驱动器输出电流限制，以防范总线上的数据争用导致的损坏，这适用于两个或更多收发器同时将总线驱动至相反状态的情况。SN65HVD3x-EP 系列器件包含限流电路，可防止在这些情况下造成损坏。

备注

该电流限值可防止在总线争用期间造成损坏，但总线的逻辑状态是标准所指定的“不确定”，因此可能会发生通信错误。

在特定的组合条件下，可能会发生这样一种情况：通过总线引脚的电流超过 250mA 限制。RS-485 应用通常不包含这种条件组合：

- 引脚上的负载电容小于 500pF
- 总线引脚直接连接到负电压大于 -1V 的电压
- 器件由等于或大于 3.3V 的 V_{CC} 供电
- 启用驱动器
- 总线引脚正在驱动至逻辑高电平状态

在这些特定条件下，正常限流电路和热关断电路不会限制或关断电流。如果允许电流继续流动，则器件驱动器输出端附近的局部区域会升温，器件可能会因此损坏。

典型 RS-485 双绞线电缆的电容约为 50pF/米。因此，预计 10 米电缆即可提供足够的电容，防止出现这种闩锁情况。

RS-485 指定了 -7 至 +12V 的共模范围，这是为了在因临时电流浪涌、电气噪声等原因而产生接地偏移时，实现间隔很长距离的收发器之间的通信。在这些情况下，连接单独收发器所需的固有电缆可确保之前列出的条件不会出现。对于仅由短电缆或背板应用隔开的收发器，稳态负共模电压是不常见的。负极电源可能会因误接线或电缆损坏而短接至总线；但是，这是另一种根本原因故障，并且使用 SN65HVD178x 系列等稳健型器件即可承受电源或误接线故障造成的影响。

RS-485 标准中的 250mA 电流限制旨在防范由总线上的数据争用引起的损坏；所谓数据争用，是指两个或更多收发器同时将总线驱动至不同的状态。这些器件在这些条件下不会损坏，因为所有 RS-485 驱动器的输出阻抗都足以防止之前所述的直接连接条件出现。典型的 RS-485 驱动器输出阻抗约为 10Ω 至 30Ω 。

8.3.3 热插拔

这些器件旨在用于热插拔应用。热插拔应用的主要特性包括：

- 上电
- 断电无干扰运行
- 默认禁用输入/输出引脚
- 接收器失效防护

如图 6-6 所示，内部上电复位电路使驱动器输出保持高阻抗状态，直到电源电压达到器件能够可靠运行的电平。这可确保在电源开启或关闭时，总线引脚输出上不传输杂散位。

如 节 8.4 所示，使能输入在驱动器使能和接收器使能上都具有默认禁用功能。这可确保在相关控制器主动驱动使能引脚之前，器件既不驱动总线，也不报告 R 引脚上的数据。

8.3.4 接收器失效防护

SN65HVD3x-EP 系列的差分接收器会因以下原因采取失效防护，导致无效总线状态：

- 出现总线开路，例如连接器断开
- 出现总线短路，例如电缆损坏，将双绞线短路在一起
- 当总线上的驱动器没有进行有源驱动时，出现总线空闲

在其中任一种情况下，该差分接收器将输出一个失效防护逻辑高电平状态，因此接收器的输出并非未明确。

接收器失效防护通过将接收器阈值进行偏移来完成，因此输入不确定范围并不包括零电压差分。为了符合 RS-422 和 RS-485 标准，接收器输出必须在差分输入 V_{ID} 正向大于 200mV 时输出一个高电平，并且当 V_{ID} 负向大于 -200mV 时输出一个低电平。用于确定失效防护性能的接收器参数是 V_{IT+} 、 V_{IT-} 和 V_{HYS} (V_{IT+} 和 V_{IT-} 之间的间隔)。如 节 6.7 表所示，负电压高于 -200mV 的差分信号始终会导致接收器输出低电平，而正电压高于 200mV 的差分信号始终会导致接收器输出高电平。

当差分输入信号接近于零时，它将仍高于 V_{IT+} 阈值，接收器输出为高电平。只有当差分输入比 V_{IT+} 低出超过 V_{HYS} 时，接收器输出才会转换至低电平状态。因此，总线故障条件下接收器输入的防噪性能包括接收器迟滞值 (V_{HYS}) 以及 V_{IT+} 的值。

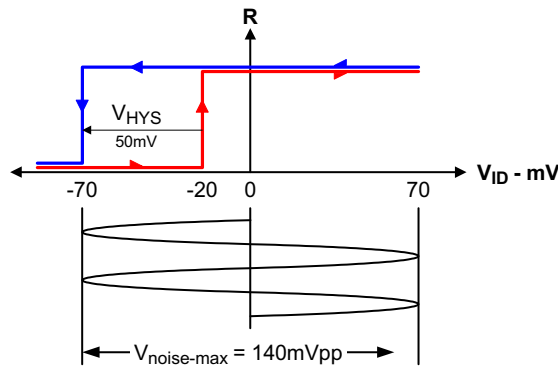


图 8-2. SN65HVD30-35 在总线故障条件下的防噪性能

8.3.5 在总线争用的情况下安全运行

这些器件在 RS-485 共模范围内 (-7V 至 +12V) 具有一个 250mA 驱动器电流限制。如 TIA/EIA-485-A 应用指南² 所述，这设置了一种实际限制，以防止在总线争用事件期间发生损坏。在系统初始化期间、系统故障期间或两个或多个驱动器同时处于活动状态时，可能会发生争用问题。

² TIA/EIA 电信系统公告 TSB89 TIA/EIA-485-A 应用指南

图 8-3 展示了一个 2 节点系统，并通过在相反状态下强制启用两个驱动器来演示总线争用。

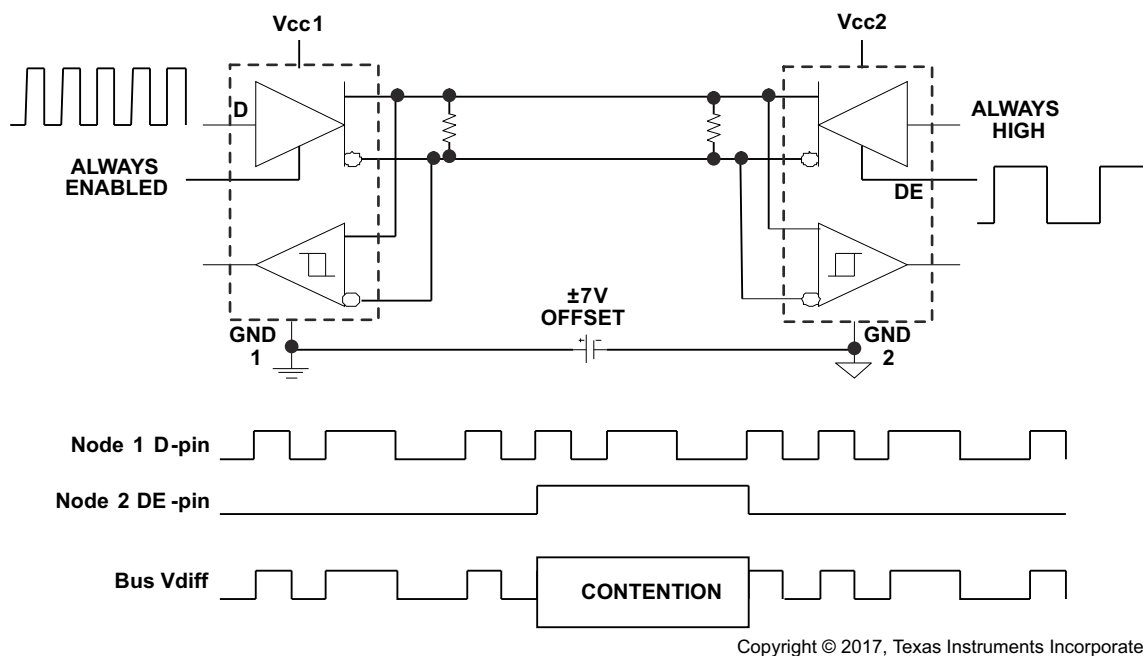


图 8-3. 总线争用示例

图 8-4 展示了总线争用事件中的典型操作。底部迹线展示了当具有 -7V 接地偏移的两个驱动器（位于节点 2）之间发生争用事件以后，节点 1 上的 SN65HVD33 器件如何继续正常运行。这说明了在发生总线争用故障且共模偏移较大的情况下，SN65HVD3x-EP 系列器件如何可靠运行。

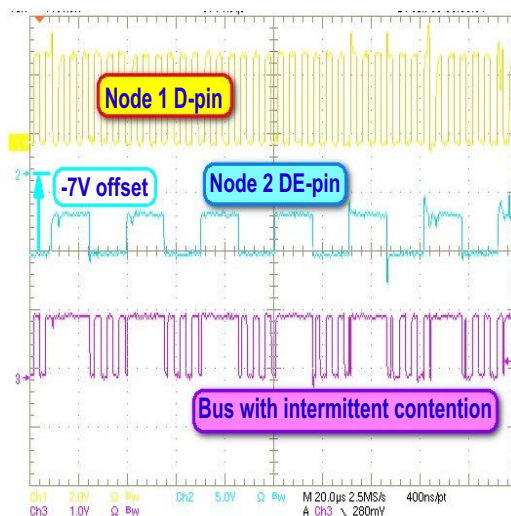


图 8-4. SN65HVD3x-EP 驱动器在总线争用故障后正常运行

8.4 器件功能模式

表 8-1 到 表 8-4 列出了器件的功能模式。

表 8-1. SN65HVD33 驱动程序

输入		输出	
D	DE	Y	Z
H	H	H	L
L	H	L	H
X	L 或开路	Z	Z
开路	H	L	H

表 8-2. SN65HVD33 接收器

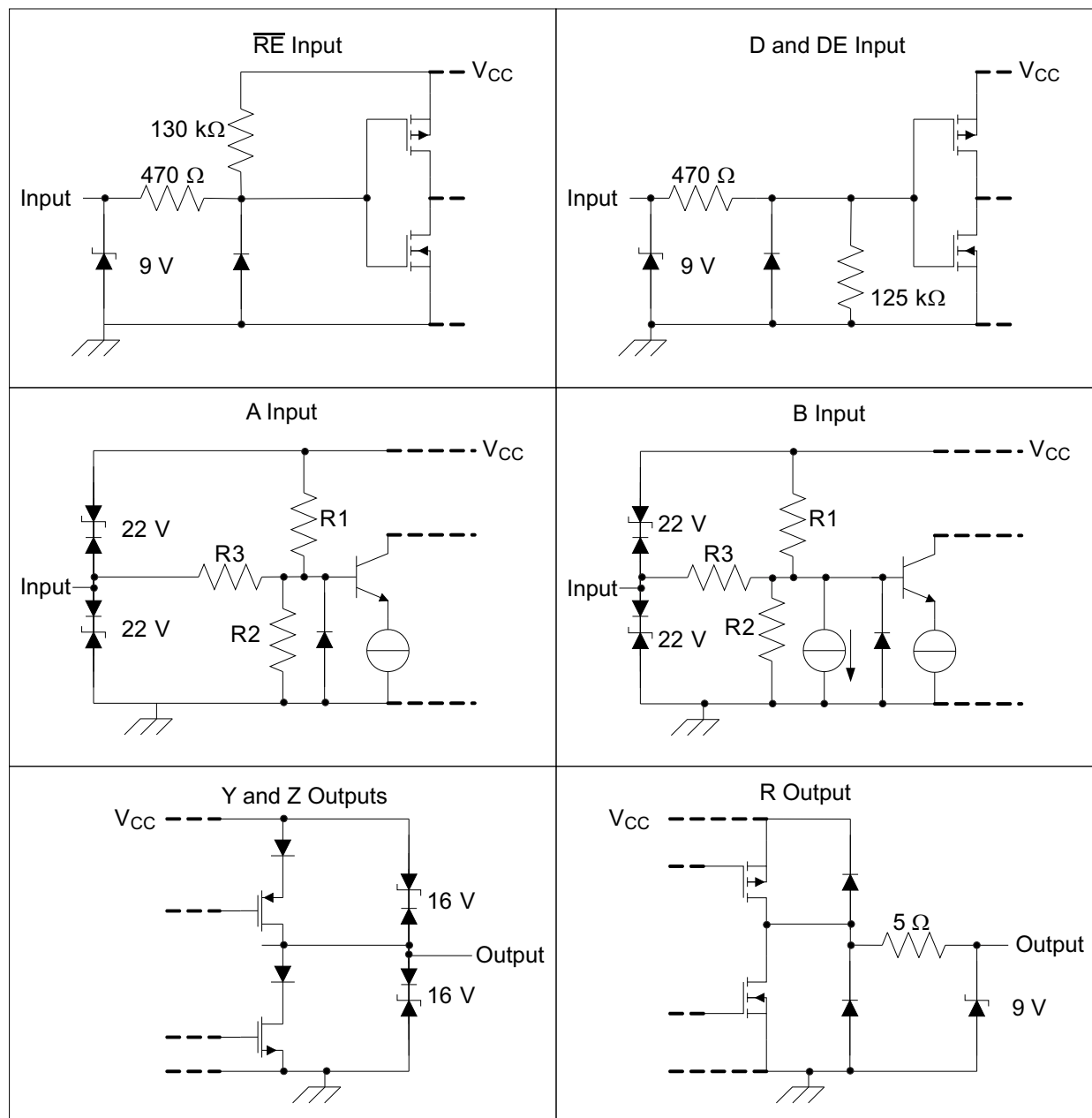
差分输入 $V_{ID} = V_{(A)} - V_{(B)}$	使能 RE	输出 R
$V_{ID} \leq -0.2V$	L	L
$-0.2V < V_{ID} < -0.02V$	L	—
$-0.02V \leq V_{ID}$	L	H
X	H 或开路	Z
开路	L	H
空闲电路	L	H
短路, $V_{(A)} = V_{(B)}$	L	H

表 8-3. SN65HVD30 驱动程序

输入 D	输出	
	Y	Z
H	H	L
L	L	H
开路	L	H

表 8-4. SN65HVD30 接收器

差分输入 $V_{ID} = V_{(A)} - V_{(B)}$	输出 R
$V_{ID} \leq -0.2V$	L
$-0.02V \leq V_{ID}$	H
开路	H
空闲电路	H
短路, $V_{(A)} = V_{(B)}$	H



Copyright © 2017, Texas Instruments Incorporated

图 8-5. 等效输入和输出原理图

表 8-5. 输入衰减器电阻值

器件型号	R1、R2	R3
SN65HVD30、SN65HVD33	9kΩ	45kΩ

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

SN65HVD3x-EP 系列包含常用于异步数据传输的全双工 RS-485 收发器。全双工实现需要两个信号对（四根线），允许每个节点在一个信号对上传输数据，同时在另一个信号对上接收数据。

为了消除线路反射，每个电缆末端都用一个端接电阻 (R_T)，其值与电缆的特征阻抗 (Z_0) 匹配。这种方法称为并行端接，允许在更长的电缆长度上实现更高的数据速率。

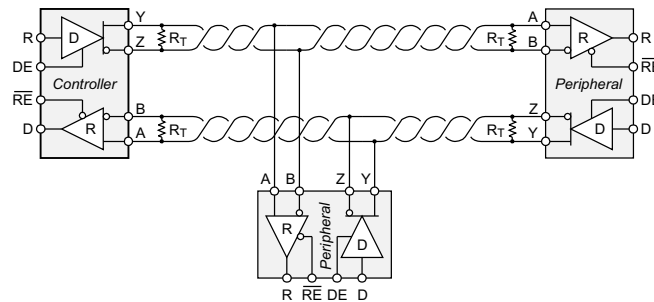


图 9-1. 具有全双工收发器的典型 RS-485 网络

9.2 典型应用

全双工 RS-485 网络包含多个并联到两条总线电缆的收发器。在一个信号对上，控制器驱动器会将数据传输到多个外设接收器。控制器驱动器和外设接收器可始终保持完全启用状态。在另一个信号对上，多个外设驱动器向控制器接收器传输数据。为避免总线争用，外设驱动器必须间歇性启用和禁用，以确保在任何时候都只有一个驱动器处于启用状态，就如同半双工通信中的情况。控制器接收器可始终保持完全启用状态。

由于该驱动器不能被禁用，当使用 SN65HVD30 时，连接至总线的驱动器只能有一个。

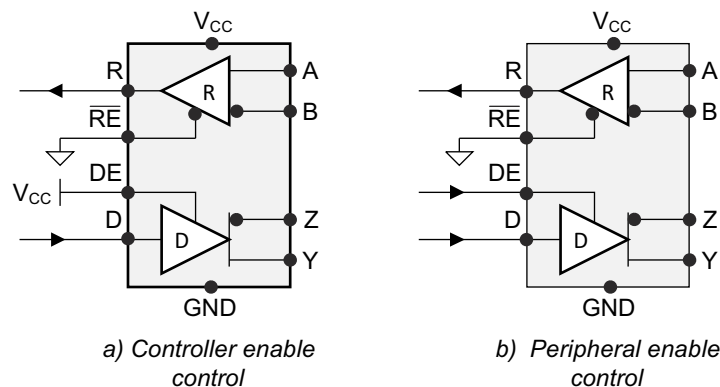


图 9-2. 全双工收发器配置

9.2.1 设计要求

RS-485 是一种稳健的电气标准，适用于长距离网络，可用于具有不同要求（例如距离、数据速率和节点数量）的各种应用。

9.2.1.1 数据速率和总线长度

数据速率与总线长度成反比关系，即数据速率越高，能免于引入数据错误的电缆越短；反之，数据速率越低，能免于引入数据错误的电缆越长。虽然大多数 RS-485 系统使用介于 10kbps 和 100kbps 之间的数据速率，但在 4000 英尺或更远距离范围内，某些应用需要的数据速率高达 250kbps。通过允许高达 5% 或 10% 的小信号抖动，可以实现更长的距离。

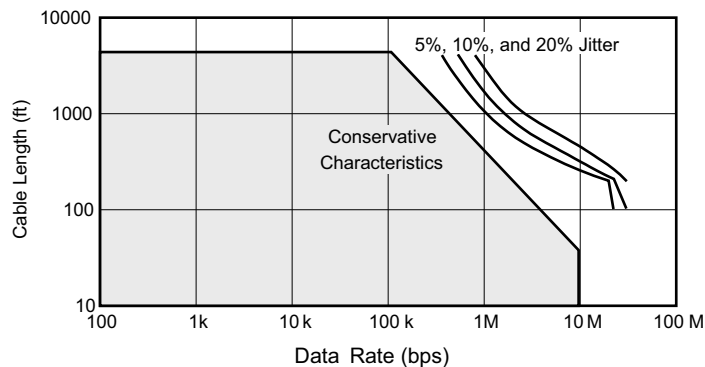


图 9-3. 电缆长度与数据速率特性间的关系

在互连足够短或在信号频率下具有适当的低衰减（以免降低数据质量）的情况下，甚至可以实现更高的数据速率（例如，SN65HVD30 和 SN65HVD33 器件的速率为 26Mbps）。

9.2.1.2 存根长度

将节点连接到总线时，收发器输入和电缆干线之间的距离（称为存根）须尽可能短。存根是一段无端接的总线线路，随着长度的增加，存根会引入反射。作为通用指南，存根的电气长度或往返延时须小于驱动器上升时间的十分之一，即最大的物理存根长度，如 [方程式 1](#) 所示。

$$L_{\text{stub}} \leq 0.1 \times t_r \times v \times c \quad (1)$$

其中：

- t_r 是驱动器上升时间的 10/90
- c 是光速 ($3 \times 10^8 \text{m/s}$)。
- v 是电缆或布线的信号速度，以 c 的系数表示

根据 [方程式 1](#)，[表 9-1](#) 显示了 SN65HVD3x-EP 全双工系列收发器的最小驱动器输出上升时间的最大电缆存根长度（信号速度为 78%）。

表 9-1. 最大存根长度

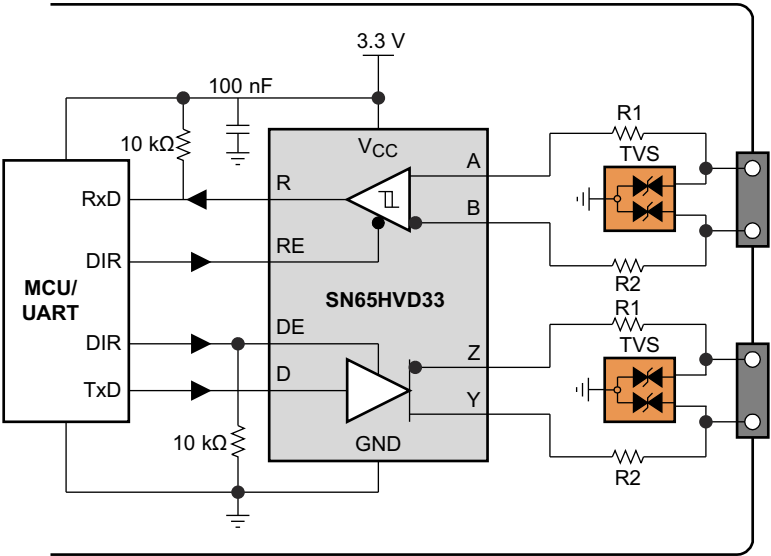
器件	最小驱动器输出上升时间 (ns)	最大存根长度	
		(m)	(ft)
SN65HVD30	4	0.1	0.3
SN65HVD33	4	0.1	0.3

9.2.1.3 总线负载

RS-485 标准规定，符合标准的驱动器必须能够驱动 32 个单元负载 (UL)，其中 1 个单元负载表示大约 $12\text{k}\Omega$ 的负载阻抗。由于 SN65HVD30 和 SN65HVD33 器件包含 1/2 UL 收发器，因此可将多达 64 个接收器连接到总线。

9.2.2 详细设计过程

为了保护总线节点免受高能瞬变的影响，有必要实施外部瞬变保护器件（请参阅图 9-4）。



Copyright © 2017, Texas Instruments Incorporated

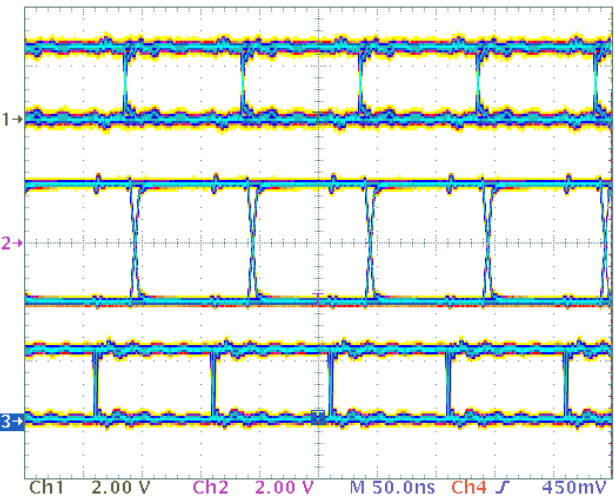
图 9-4. 针对 ESD、EFT 和浪涌瞬态的瞬变保护

表 9-2. 物料清单

器件	功能	订货编号	制造商 ⁽¹⁾
收发器	3.3V 全双工 RS-485 收发器	SN65HVD33	TI
R1、R2	10 Ω 防脉冲厚膜电阻器	CRCW060310RJNEAHP	Vishay
TVS	双向 400W 瞬态抑制器	CDSOT23-SM712	Bourns

(1) 请参阅[第三方产品免责声明](#)。

9.2.3 应用曲线



从上到下的信号：D、Y、Z、VOD

图 9-5. SN65HVD33-EP 瞬态波形

9.3 电源相关建议

为确保在所有数据速率和电源电压下可靠运行，须使用 100nF 陶瓷电容对各个电源进行去耦，该电容的位置应尽可能靠近电源引脚。这样有助于减少开关模式电源输出中出现的电源电压纹波，并且有助于补偿 PCB 电源平面的电阻和电感。

9.4 布局

9.4.1 布局指南

稳健而可靠的总线节点设计通常需要使用外部瞬态保护器件，以抑制工业环境中可能出现的 EFT 和浪涌瞬变。因为这些瞬变的频率带宽较宽（大约 3MHz 至 3GHz），因此在 PCB 设计过程中必须应用高频布局技术。

- 将保护电路放置在靠近总线连接器的位置，以防止噪声瞬变进入电路板。
- 使用 V_{CC} 和接地层来提供低电感。高频电流会沿着电感最小的路径（而非阻抗最小的路径）流动。
- 将保护元件设计成信号路径的方向。不得将瞬态电流从信号路径强行转移至保护器件。
- 尽可能靠近电路板上收发器、UART 和控制器 IC 的 V_{CC} 引脚放置 100nF 至 220nF 的旁路电容器。
- 当旁路电容器和保护器件连接 V_{CC} 和接地端时，应至少使用两个过孔以最大限度地减小有效过孔电感。
- 为使能线路使用 $1k\Omega$ 至 $10k\Omega$ 的上拉或下拉电阻器，从而在瞬态事件期间限制这些线路中的噪声电流。
- 如果 TVS 钳位电压高于收发器总线引脚的指定最大电压，则在 A 和 B 总线线路中插入串联防脉冲电阻器。这些电阻器可限制进入收发器的剩余钳位电流并防止其锁存。
- 虽然纯 TVS 保护足以应对高达 1kV 的浪涌瞬态，但更高的瞬态需要金属氧化物压敏电阻 (MOV) 将瞬态降低到几百伏的钳位电压，以及瞬态阻断单元 (TBU) 将瞬态电流限制在 200mA。

9.4.2 布局示例

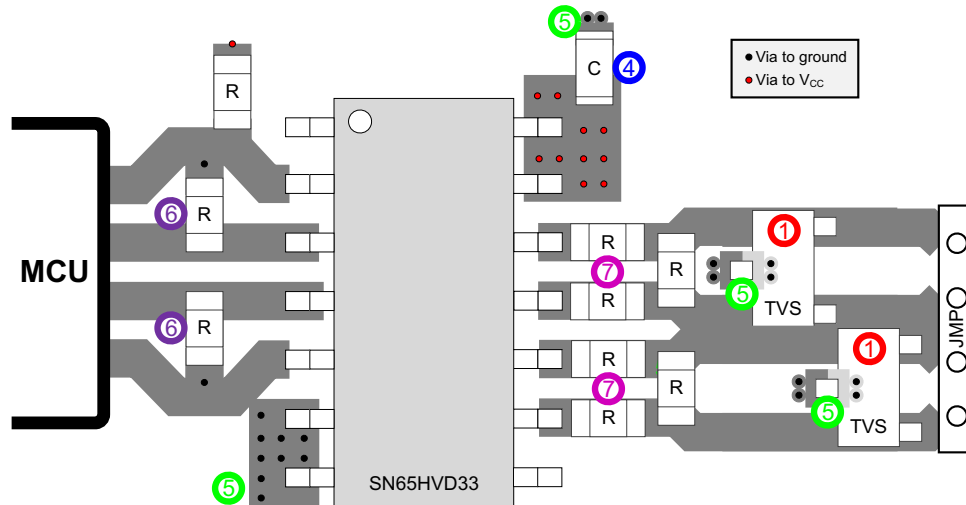


图 9-6. SN65HVD33-EP 布局示例

10 器件和文档支持

10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (September 2015) to Revision F (March 2025) Page

• 将所有实际提到的旧术语更改为控制器和外设。.....	1
• 将“器件信息”表更改为封装信息表.....	1
• 从数据表中删除了器件 SN65HVD31-EP、SN65HVD32-EP、SN65HVD34-EP 和 SN65HVD35-EP.....	1
• 从规格中删除了“接收器均衡特性”表.....	4

Changes from Revision D (March 2012) to Revision E (September 2015) Page

• 添加了处理额定值表、特性说明部分、器件功能模式、应用和实现部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分.....	1
---	---

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65HVD30MDREP	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD30EP
SN65HVD30MDREP.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD30EP
SN65HVD30MDREPG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD30EP
SN65HVD33MDREP	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD33EP
SN65HVD33MDREP.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD33EP
V62/06634-01XE	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD30EP
V62/06634-04YE	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HVD33EP

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

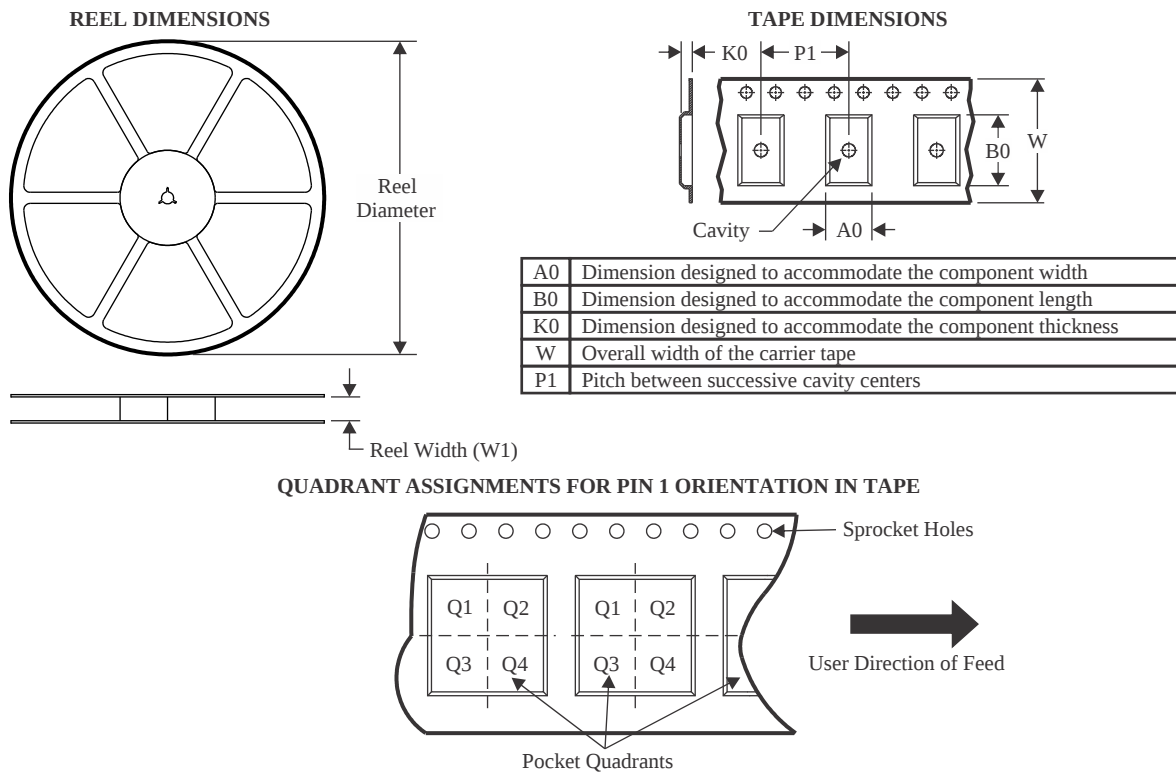
OTHER QUALIFIED VERSIONS OF SN65HVD30-EP, SN65HVD33-EP :

- Catalog : [SN65HVD30](#), [SN65HVD33](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

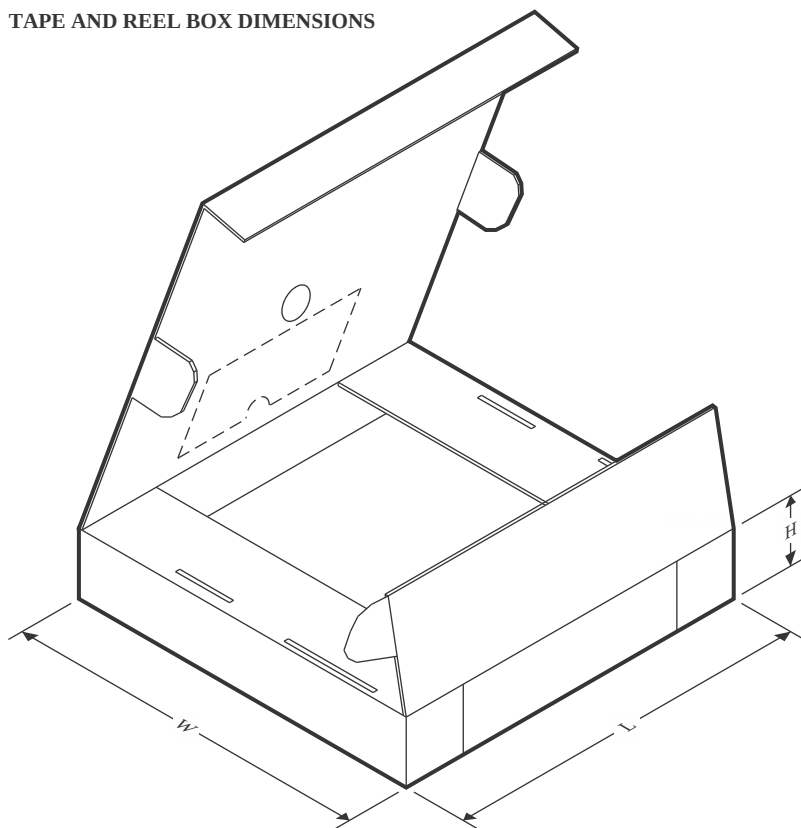
TAPE AND REEL INFORMATION



*All dimensions are nominal

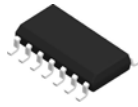
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65HVD30MDREP	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65HVD33MDREP	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS

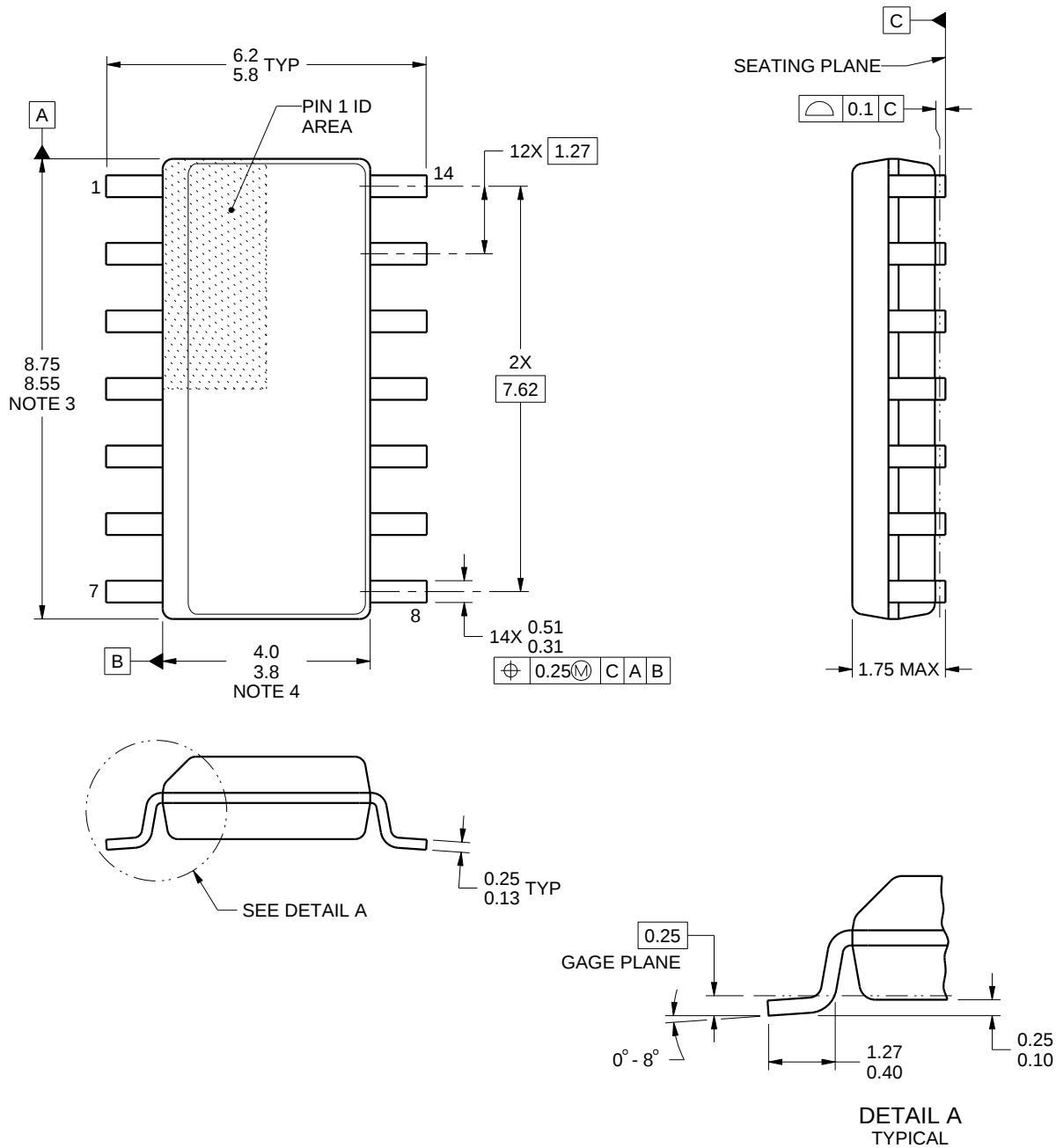


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65HVD30MDREP	SOIC	D	8	2500	353.0	353.0	32.0
SN65HVD33MDREP	SOIC	D	14	2500	340.5	336.1	32.0

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

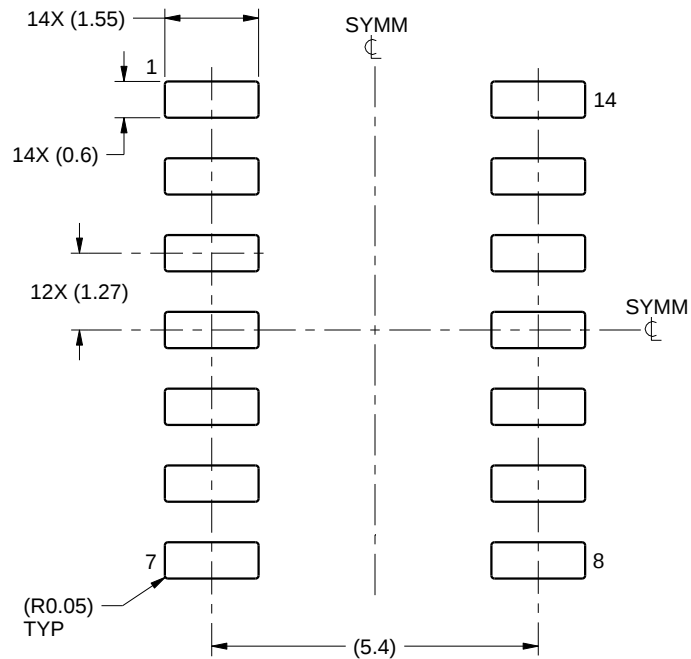
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

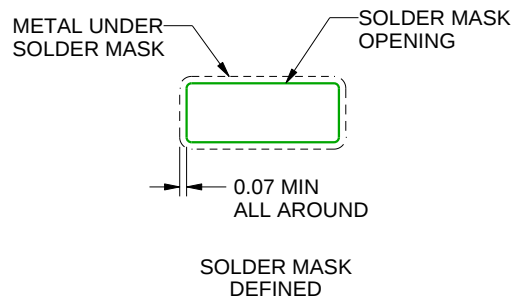
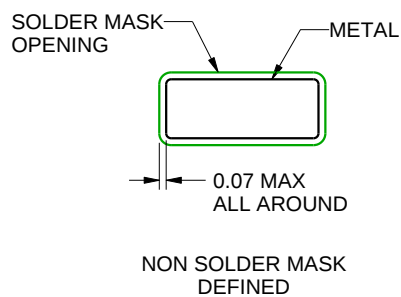
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

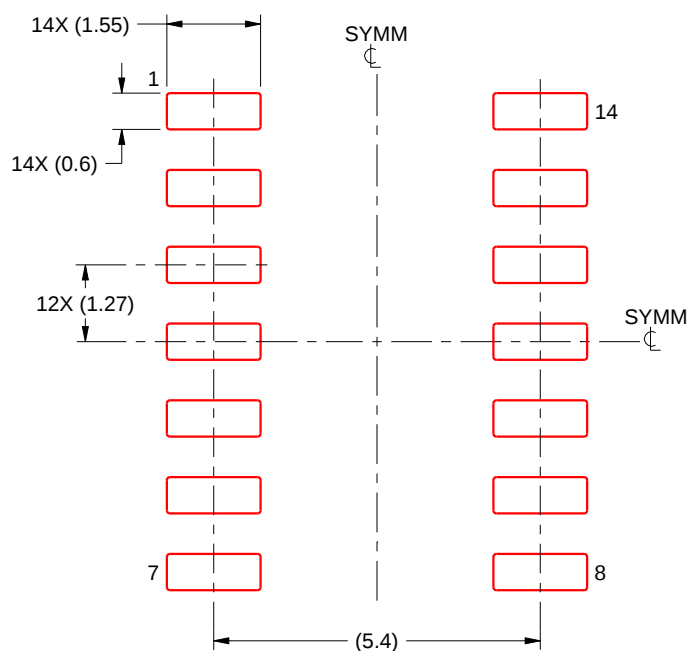
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

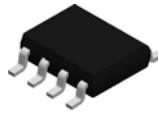


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

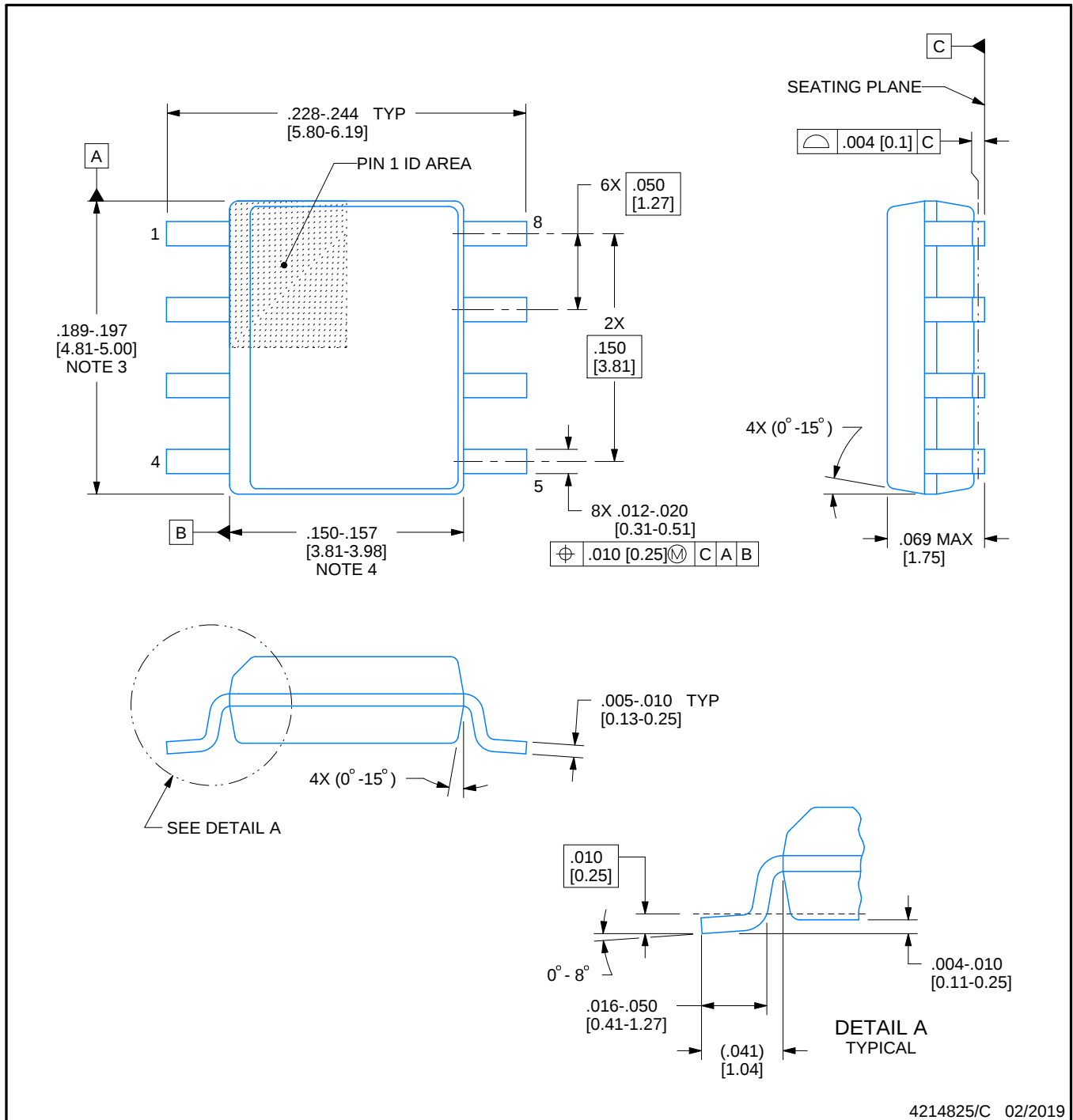


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

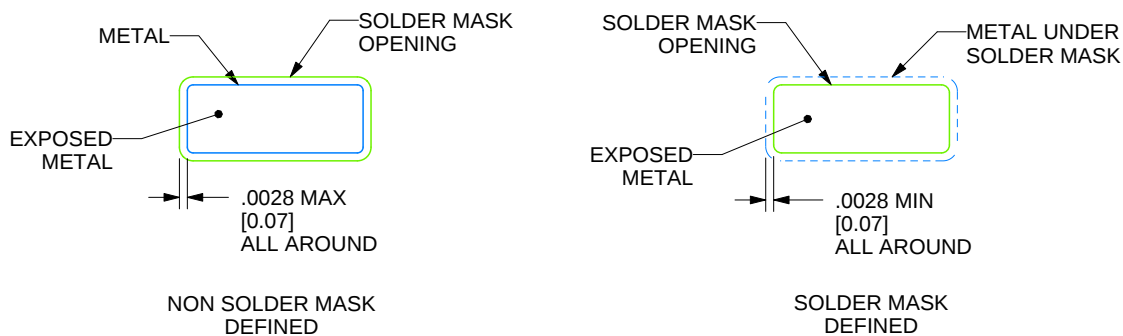
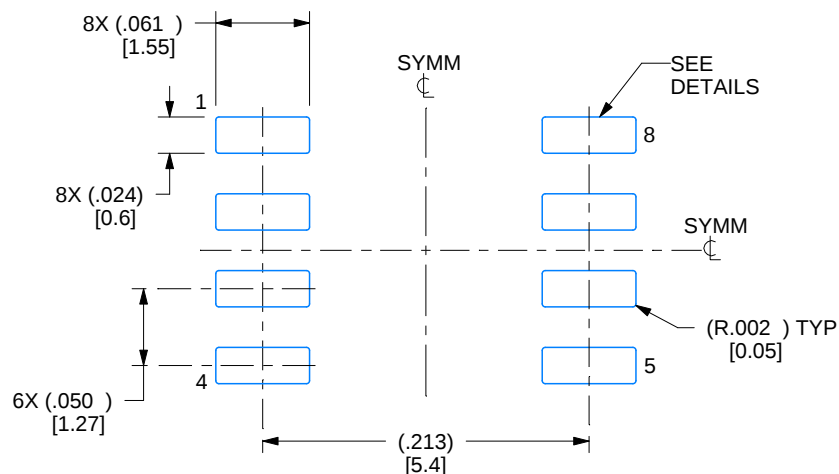
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

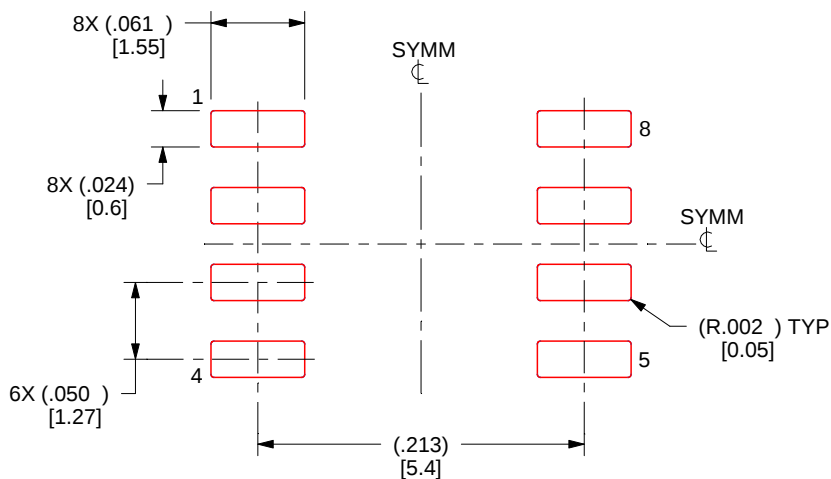
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司