

LMX2820-具有相位同步功能且支持 JESD204B 的 22.6GHz 宽带 PLLatinum™ 射频合成器

1 特性

- 输出频率：45 MHz 至 22.6 GHz
- 在 6GHz 下具有 36fs 抖动 (12kHz 至 95MHz)
- 高性能 PLL
 - 品质因数：-236dBc/Hz
 - 归一化 1/f 噪声：-134dBc/Hz
 - -95dBc 整数模式杂散 ($f_{PD}=100MHz$)
 - 高相位检测器频率
 - 400MHz 整数模式
 - 300MHz 分数模式
 - 可编程输入乘法器
 - 支持偏移混合的直接 PFD 输入，从而将 PLL N 分频器用于超低抖动
- 2.5 μ s 快速 VCO 校准时间
- 静音引脚具有 200ns 静音/取消静音时间
- 启用倍频器后，VCO 泄漏为 -45dBc
- 支持高达 22.6GHz 的外部 VCO
- 跨多个器件实现输出相位同步
- 两个差分射频输出和一个差分 SYSREF 输出，用于 JESD204B 支持

2 应用

- 雷达和电子战
- 5G 和毫米波无线基础设施
- 微波回程连线
- 测试和测量设备
- 高速数据转换器计时

3 说明

LMX2820 是一款高性能宽带合成器，可生成 45MHz 至 22.6GHz 范围内的任何频率。高性能 PLL 具有 -236dBc/Hz 的品质因数和较高的相位检测器频率，可实现极低的带内噪声和集成抖动。高速 N 分频器没有预分频器，从而显著减少了杂散的振幅和数量。还有一个可编程输入乘法器，用于减轻整数边界杂散。

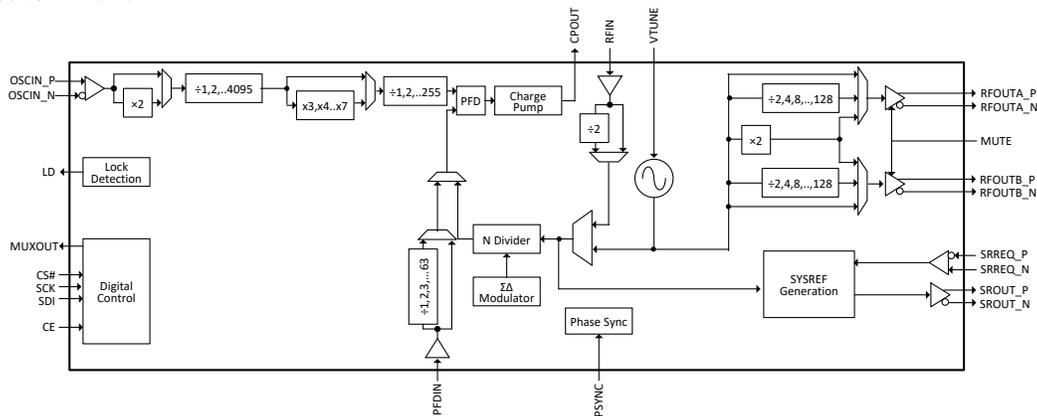
LMX2820 允许用户同步多个器件的输出，还支持在输入和输出之间需要确定性延迟的应用。快速校准算法大大减少了 VCO 校准时间，支持需要快速跳频的系统。LMX2820 可以生成或重复符合 JESD204B 标准的 SYSREF，使其可以作为高速数据转换器的低噪声时钟源使用。该合成器可搭配外部 VCO 使用，此外，还提供直接 PFD 输入引脚，以支持偏移混合，实现低杂散传输。

该器件由单个 3.3V 电源供电，并具有集成的 LDO，无需板载低噪声 LDO。

器件信息(1)

器件型号	封装	封装尺寸 (标称值)
LMX2820	VQFN (48)	7mm x 7mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



功能方框图



内容

1 特性	1	7.4 器件功能模式.....	23
2 应用	1	8 应用和实现	26
3 说明	1	8.1 应用信息.....	26
4 修订历史记录	2	8.2 典型应用.....	28
5 引脚配置和功能	3	8.3 初始化和加电时序.....	30
6 规格	6	9 电源相关建议	32
6.1 绝对最大额定值.....	6	10 布局	32
6.2 ESD 等级.....	6	10.1 布局指南.....	32
6.3 建议运行条件.....	6	10.2 布局示例.....	33
6.4 热性能信息.....	6	11 器件和文档支持	34
6.5 电气特性.....	7	11.1 接收文档更新通知.....	34
6.6 时序要求.....	10	11.2 支持资源.....	34
6.7 典型特性.....	11	11.3 商标.....	34
7 详细说明	14	11.4 静电放电警告.....	34
7.1 概述.....	14	11.5 术语表.....	34
7.2 功能方框图.....	15	12 机械、封装和可订购信息	34
7.3 特性说明.....	15		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (December 2020) to Revision C (February 2021)	Page
• 将数据表原始数据从 2018 年 12 月更改为 2020 年 6 月.....	1

Changes from Revision A (November 2020) to Revision B (December 2020)	Page
• 更改了 PSYNC 引脚说明.....	3
• 从 V 更改为 Vpp。因此数字加倍，但实际电压相同.....	7
• 更改了 PFDIN 灵敏度图形.....	11

Changes from Revision * (June 2020) to Revision A (November 2020)	Page
• 更新了整个文档中的表格、图和交叉引用的编号格式.....	1
• 将数据表状态从“预告信息”更改为：量产数据.....	1

5 引脚配置和功能

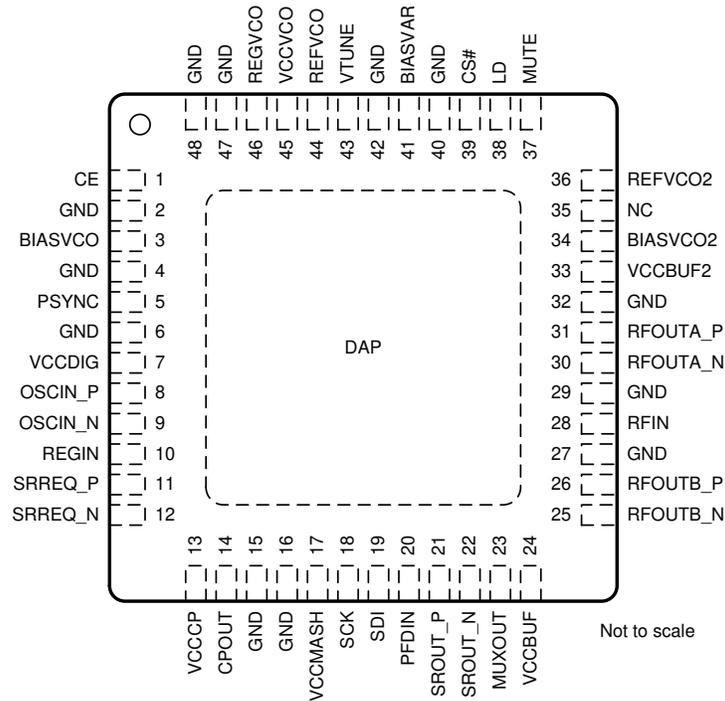


图 5-1. RTC 48 引脚 VQFN 封装 俯视图

表 5-1. 引脚功能

引脚		I/O	说明
名称	编号 ⁽¹⁾		
电源和接地			
VCCBUF	24	P	输出缓冲器电源。连接到 3.3V 电源，并将低 ESR、0.1μF 和 1μF 去耦电容器接地。
VCCBUF2	33	P	缓冲器电源。连接到 3.3V 电源，并将低 ESR、0.1μF 和 1μF 去耦电容器接地。
VCCCP	13	P	电荷泵电源。连接到 3.3V 电源，并将 1μF 去耦电容器接地。
VCCDIG	7	P	数字电源。连接到 3.3V 电源，并将低 ESR、0.1μF 和 1μF 去耦电容器接地。
VCCMASH	17	P	数字电源。连接到 3.3V 电源，并将低 ESR、0.1μF 和 1μF 去耦电容器接地。
VCCVCO	45	P	VCO 电源。连接到 3.3V 电源，并将低 ESR、0.1μF 和 1μF 去耦电容器接地。
GND	2	G	接地
	4		
	6		
	15		
	16		
	27		
	29		
	32		
	40		
	42		
DAP	—	—	将 GND 引脚连接到裸露的散热焊盘以确保正确操作。使用多个过孔将散热焊盘连接到任何内部 PCB 接地平面，以获得良好的热性能。

表 5-1. 引脚功能 (continued)

引脚		I/O	说明
名称	编号 ⁽¹⁾		
NC	35	NC	接地。
偏置/LDO 旁路			
BIASVAR	41	B	VCO 变容偏置。将 1 μ F 去耦电容器接地。
BIASVCO	3	B	VCO 偏置。连接一个 0.47 μ F (以实现更快校准) 至 4.7 μ F (以实现更优带内相位噪声) 范围内的低 ESR 电容器
BIASVCO2	34	B	VCO 偏置。将 1 μ F 去耦电容器接地。靠近引脚放置。
REFVCO2	36	B	VCO 电源基准。将 1 μ F 去耦电容器接地。
REGIN	10	B	输入基准路径调节器去耦。将 1 μ F 去耦电容器接地。靠近引脚放置。建议使用一个额外的低 ESR、0.1 μ F 去耦电容来过滤高频噪声。
REGVCO	46	B	VCO 稳压器节点。将 1 μ F 去耦电容器接地。
REFVCO	44	B	VCO 电源基准。将 10 μ F 去耦电容器接地。
数字输入			
CE	1	I	芯片启用。高阻抗 CMOS 输入。1.8V 至 3.3V 逻辑。器件上的有效 HIGH 电源。
MUTE	37	I	缓冲器静音控制。高阻抗 CMOS 输入。1.8V 至 3.3V 逻辑。
PSYNC	5	I	具有可配置输入信号电平的相位同步。将 100 Ω 系列连接到 PSYNC 信号，如果不使用，则连接到 GND。
CS#	39	I	SPI 锁存。高阻抗 CMOS 输入。1.8V 至 3.3V 逻辑。
SCK	18	I	SPI 时钟。高阻抗 CMOS 输入。1.8V 至 3.3V 逻辑。
SDI	19	I	SPI 数据。高阻抗 CMOS 输入。1.8V 至 3.3V 逻辑。
模拟输入			
OSCIN_P	8	I	基准输入时钟 (+)。高阻抗自偏置引脚。需要使用交流耦合。如果未使用，通过一个 50 Ω 电阻将其交流耦合到地。
PFDIN	20	I	外部 PFD 输入。自偏置引脚。需要交流耦合和一个外部 50 Ω 电阻接地。
RFIN	28	I	外部 VCO 输入。内部 50 Ω 端接。需要使用交流耦合。
OSCIN_N	9	I	基准输入时钟 (-)。高阻抗自偏置引脚。需要使用交流耦合。如果未使用，通过一个 50 Ω 电阻将其交流耦合到地。
SRREQ_P	11	I	差分 SYSREF 输入时钟 (+)。支持交流和直流耦合。
VTUNE	43	I	VCO 调谐电压输入。将 1.5nF 或更高电容器连接到 VCO 接地端。
SRREQ_N	12	I	差分 SYSREF 输入时钟 (-)。支持交流和直流耦合。
输出			
CPOUT	14	O	电荷泵输出。建议将环路滤波器的 C1 靠近该引脚连接。
LD	38	O	锁定检测输出。3.3V 逻辑。
MUXOUT	23	O	SPI 读回输出。3.3V 逻辑。CE = LOW 时高阻抗。
RFOUTA_N	30	O, PU	差分输出 A (-)。内部 50 Ω 上拉。需要使用交流耦合。
RFOUTA_P	31	O, PU	差分输出 A (+)。内部 50 Ω 上拉。需要使用交流耦合。
RFOUTB_N	25	O, PU	差分输出 B (-)。内部 50 Ω 上拉。需要使用交流耦合。
RFOUTB_P	26	O, PU	差分输出 B (+)。内部 50 Ω 上拉。需要使用交流耦合。
SROUT_N	22	O, PU	差分 SYSREF 输出 (-)。内部 50 Ω 上拉。
SROUT_P	21	O, PU	差分 SYSREF 输出 (+)。内部 50 Ω 上拉。

(1) 下面的定义定义了每个引脚的 I/O 类型。

- P = 电源
- G = 接地
- NC = 无连接。引脚可以接地，也可以不连接。
- B = 偏置/LDO 旁路

- I = 输入
- O = 输出
- PU = 上拉

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V _{CC}	电源电压	-0.3	3.6	V
V _{IN}	IO 输入电压		V _{CC} +0.3	V
T _J	结温		150	°C
T _{stg}	贮存温度	-65	150	°C

(1) 如果应力超出绝对最大额定值下列出的值，则有可能会对器件造成永久损坏。这些列出的值仅为应力额定值，并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

		值	单位
V _(ESD)	静电放电	人体放电模式 (HBM)，根据 ANSI/ESDA/JEDEC JS-001，所有引脚 ⁽¹⁾	V
		充电器件放电模式 (CDM)，根据 JEDEC 规范 JESD22-C101，所有引脚 ⁽²⁾	

(1) JEDEC 文件 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产。

(2) JEDEC 文件 JEP157 规定：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
T _A	环境温度	-40		85	°C
T _J	结温			125	°C
V _{CC}	电源电压	3.15	3.3	3.45	V

6.4 热性能信息

热指标 ⁽¹⁾		LMX2820	单位
		RTC (VQFN)	
		48 引脚	
R _{θJA}	结至环境热阻	21.5	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	9.5	°C/W
R _{θJB}	结至电路板热阻	6.0	°C/W
Ψ _{JT}	结至顶部特征参数	0.1	°C/W
Ψ _{JB}	结至电路板特征参数	5.9	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	0.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标应用报告](#)。

6.5 电气特性

3.15V ≤ V_{CC} ≤ 3.45V, -40°C ≤ T_A ≤ 85°C。典型值是 V_{CC} = 3.3V、25°C 条件下的值 (除非另有指明)。

参数		测试条件	最小值	典型值	最大值	单位
电源						
I _{CC}	电源电流	一个直接射频输出 ⁽¹⁾		500		mA
		一个分压射频输出 ⁽²⁾		580		
		一个启用了 VCO 倍频器的射频输出 ⁽³⁾		590		
		RFIN 外部反馈模式, 内部 VCO		530		
		PFDIN 外部反馈模式, 内部 VCO ⁽⁵⁾		455		
		外部 VCO 模式 ⁽⁴⁾		290		
I _{CC} POR	上电复位电流			234		
I _{CC} PD	关断电流			10		
输入信号路径						
f _{OSCin}	OSCin 输入频率	OSC_2X = 0 (倍频器已旁路)	5		1400	MHz
		OSC_2X = 1 (倍频器已启用); 单端输入缓冲器	5		250	
V _{OSCin}	OSCin 输入电压 ⁽⁶⁾	单端输入缓冲器	0.3		3.6	V _{pp}
		差分输入缓冲器	0.1		1	
f _{MULTin}	倍频器输入频率	MULT ≥ 3	30		70	MHz
f _{MULTout}	倍频器输出频率		180		250	
PLL						
f _{PD}	相位检测器频率 ⁽⁷⁾	整数通道	5		400	MHz
		1 阶调制器和 2 阶调制器	5		300	
		3 阶调制器	5		225	
I _{CPout}	电荷泵电流	CPG = 1		1.4		mA
		CPG = 8		2.8		
		CPG = 4		5.6		
		CPG = 12		8.4		
		CPG = 15		15.4		
PN _{PLL_1/f}	归一化 PLL 1/f 噪声 ⁽⁸⁾			-134		dBc/Hz
PN _{PLL_Flat}	归一化 PLL 本底噪声 ⁽⁸⁾	整数通道 ⁽⁹⁾		-236		
		分数通道 ⁽¹⁰⁾		-236		
f _{RFIN}	RFin 输入频率		1000		22600	MHz
P _{RFIN}	RFin 输入电源		-10		5	dBm
RL _{RFIN}	RFin 回波损耗	2GHz ≤ f _{RFin} ≤ 22GHz			-8	dB
f _{PFDIN}	PFDin 输入频率		20		2000	MHz
V _{PFDIN}	PFDin 输入电压		0.2		2	V _{pp}
VCO						
f _{VCO}	VCO 频率		5650		11300	MHz

$3.15V \leq V_{CC} \leq 3.45V$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 。典型值是 $V_{CC} = 3.3V$ 、 $25^{\circ}C$ 条件下的值 (除非另有指明)。

参数		测试条件		最小值	典型值	最大值	单位
PN _{VCO}	开环 VCO 相位噪声	f _{VCO} = 6.0GHz	10kHz		-77.0		dBc/Hz
			100 kHz		-110.3		
			1MHz		-131.9		
			10MHz		-151.0		
			100MHz		-159.5		
		f _{VCO} = 6.8GHz	10kHz		-76.5		
			100 kHz		-109.3		
			1MHz		-130.7		
			10MHz		-149.8		
			100MHz		-159.3		
		f _{VCO} = 7.6GHz	10kHz		-75.8		
			100 kHz		-108.5		
			1MHz		-130.2		
			10MHz		-149.2		
			100MHz		-159.2		
		f _{VCO} = 8.4GHz	10kHz		-74.7		
			100 kHz		-107.6		
			1MHz		-129.4		
			10MHz		-148.8		
			100MHz		-159.0		
		f _{VCO} = 9.4GHz	10kHz		-76.0		
			100 kHz		-105.5		
			1MHz		-128.0		
			10MHz		-147.4		
			100MHz		-157.9		
		f _{VCO} = 10.2GHz	10kHz		-75.9		
			100 kHz		-105.6		
			1MHz		-127.5		
			10MHz		-146.8		
			100MHz		-157.6		
		f _{VCO} = 11.2GHz	10kHz		-75.4		
			100 kHz		-104.4		
			1MHz		-126.4		
			10MHz		-145.8		
			100MHz		-156.5		
		K _{VCO}	VCO 增益	f _{VCO} = 6.0GHz			
f _{VCO} = 6.8GHz					108		
f _{VCO} = 7.6GHz					131		
f _{VCO} = 8.4GHz					140		
f _{VCO} = 9.4GHz					149		
f _{VCO} = 10.2GHz					156		
f _{VCO} = 11.2GHz					139		
t _{VCOcal}	VCO 校准时间	f _{OSCin} = f _{PD} = 100MHz ; 在 5.65GHz 和 11.3GHz 间切换 ; 使用即时校准 VbiasVCO 引脚上的 0.47 μF 电容器			2.5		μs

$3.15V \leq V_{CC} \leq 3.45V$, $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 。典型值是 $V_{CC} = 3.3V$ 、 $25^{\circ}C$ 条件下的值 (除非另有指明)。

参数		测试条件	最小值	典型值	最大值	单位
$ \Delta T_{CL} $	容许的温度漂移 ⁽¹¹⁾	VCO 未被重新校准; $-40^{\circ}C \leq T_A \leq 85^{\circ}C$			125	$^{\circ}C$
射频输出						
f_{OUT}	射频输出频率		45		22600	MHz
P_{OUT}	单端输出功率 ⁽¹²⁾	OUTx_PWR=7	$f_{OUT} = 22GHz$		3	dBm
			$f_{OUT} = 11GHz$		5	
			$f_{OUT} \leq 5.5GHz$		6	
$H_{1/2}$	1/2 谐波 ⁽¹³⁾		$f_{OUT} = 2 \times f_{VCO} = 22GHz$		-45	dBc
$H_{3/2}$	3/2 谐波		$f_{OUT} = 2 \times f_{VCO} = 11.3GHz$ 至 22.6GHz		-65	
H_2	第二谐波		$f_{VCO} = f_{OUT} = 11GHz$		-20	
			$f_{VCO} = 11GHz$; $f_{OUT} = 5.5GHz$		-35	
H_3	第三谐波	$f_{OUT} = 2 \times f_{VCO} = 11.3GHz$ 至 22.6GHz		-25		
P_{MUTE}	输出静音时的单端输出功率 ⁽¹²⁾	$f_{OUT} = 22GHz$		-32	dBm	
		$f_{OUT} = 11GHz$		-32		
		$f_{OUT} = 5.5GHz$		-53		
t_{MUTE}	静音启用时间	$f_{OUT} = 11GHz$		200	ns	
t_{unMUTE}	静音禁用时间	$f_{OUT} = 11GHz$		200		
isoCH	通道间隔离	$f_{OUTA} = 11GHz$; $f_{OUTB} = 5.5GHz$; OUTx_PWR=7		-40	dBc	
相位同步						
$f_{OSCinSYNC}$	具有 SYNC 的 OSCin 输入频率	类别 3	5		200	MHz
数字接口 (CE、SCK、SDI、CS#、PSYNC、MUTE)						
V_{IH}	高电平输入电压		1.2		V_{CC}	V
V_{IL}	低电平输入电压				0.6	
I_{IH}	高电平输入电流	CS#, MUTE、CE			25	μA
		SCK、SDI、PSYNC			70	
I_{IL}	低电平输入电流		-1			
V_{OH}	高电平输出电压	MUXout、LD	负载电流 = -3mA		$V_{CC} - 0.5$	V
V_{OL}	低电平输出电压		负载电流 = 3mA		0.4	

- $f_{OSCin} = f_{PD} = 100MHz$; $f_{VCO} = f_{OUT} = 11GHz$; $P_{OUT} = 0dBm$; $OSC_2X = 0$; $MULT = 1$ 。
- $f_{OSCin} = f_{PD} = 100MHz$; $f_{VCO} = 11GHz$; $f_{OUT} = 5.5GHz$; $P_{OUT} = 0dBm$; $OSC_2X = 0$; $MULT = 1$ 。
- $f_{OSCin} = f_{PD} = 100MHz$; $f_{VCO} = 11GHz$; $f_{OUT} = 22GHz$; $P_{OUT} = 0dBm$; $OSC_2X = 1$; $MULT = 1$ 。
- $f_{OSCin} = f_{PD} = 100MHz$; $f_{RFIn} = 11GHz$; $f_{OUT} = 11GHz$ (来自外部 VCO); $OSC_2X = 0$; $MULT = 1$ 。
- $f_{OSCin} = f_{PD} = 100MHz$; $f_{PFDin} = 2GHz$; $f_{OUT} = 11GHz$ (来自外部 VCO); $OSC_2X = 0$; $MULT = 1$ 。
- 有关 OSCin 输入电压的定义, 请参阅应用部分。
- 对于较低的 VCO 频率, N 分频器最小值会限制相位检测器频率。
- 使用宽环路带宽通过具有高压摆率的干净 OSCin 信号进行测量。噪声指标将无限环路带宽的 PLL 噪声建模为: $PLL_Total = 10 \cdot \log[10^{(PLL_Flat/10)} + 10^{(PLL_Flicker/10)}]$; $PLL_Flat = PN1 Hz + 20 \cdot \log(N) + 10 \cdot \log(f_{PD})$; $PLL_Flicker = PN10kHz - 10 \cdot \log(Offset/10kHz) + 20 \cdot \log(f_{OUT}/1GHz)$ 。
- $f_{OSCin} = 100MHz$, $f_{PD} = 200MHz$; $f_{VCO} = f_{OUT} = 11GHz$ 。
- $f_{OSCin} = f_{PD} = 100MHz$; $f_{VCO} = f_{OUT} = 10.999GHz$; 分数分母 = 1000。
- 未经量产测试。由特征确保。容许的温度漂移是指在初始温度下对器件进行编程, 并允许该温度漂移而不重新编程器件, 并且仍然使器件保持锁定状态。这种温度变化可能会上升或下降, 并且该规范不适用于超出器件推荐工作温度的温度。
- 使用其中一个射频输出差分对引脚进行测量, 未使用的引脚为 50Ω 端接。有关详细信息, 请参阅应用部分。

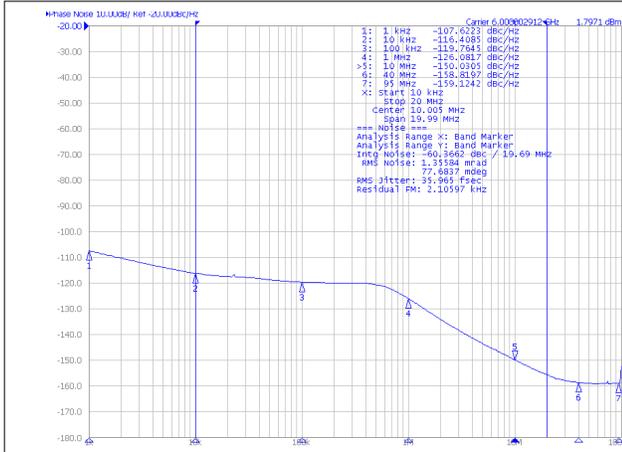
- (13) 一个射频输出为活动状态。使用 JSO-51-471/6S 平衡-非平衡变压器以差分方式进行测量。请参考典型的性能图，了解它在不同条件下是如何变化的。

6.6 时序要求

$3.15V \leq V_{CC} \leq 3.45V$ ， $-40^{\circ}C \leq T_A \leq 85^{\circ}C$ 。典型值是 $V_{CC} = 3.3V$ 、 $25^{\circ}C$ 条件下的值（除非另有指明）。

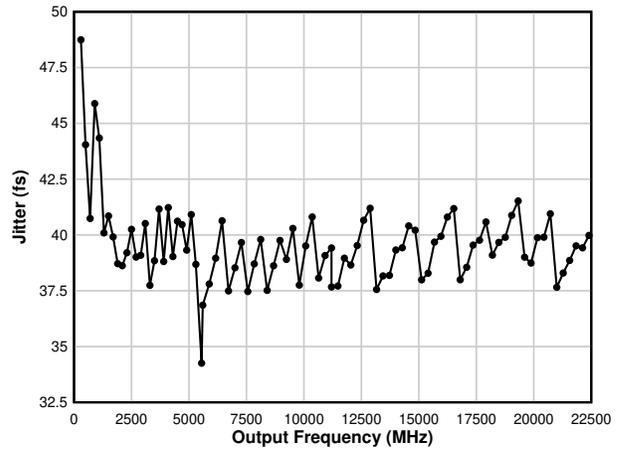
参数		测试条件	最小值	标称值	最大值	单位
串行接口写入时序						
f_{SCK}	SCK 频率	$1 / (t_{CWL} + t_{CWH})$			40	MHz
t_{CE}	SCK 至 CSB 低电平时间		5			ns
t_{CS}	SDI 至 SCK 设置时间		2			ns
t_{CH}	SDI 至 SCK 保持时间		2			ns
t_{CWH}	SCK 脉冲宽度高电平		10			ns
t_{CWL}	SCK 脉冲宽度低电平		10			ns
t_{CES}	CSB 至 SCK 设置时间		10			ns
t_{EWH}	CSB 脉冲宽度高电平		3			ns
串行接口读取时序						
f_{SCK}	SCK 频率	$1 / (t_{CWL} + t_{CWH})$			40	MHz
t_{CE}	SCK 至 CSB 低电平时间		5			ns
t_{CS}	SDI 至 SCK 设置时间		2			ns
t_{CH}	SDI 至 SCK 保持时间		2			ns
t_{CWH}	SCK 脉冲宽度高电平		10			ns
t_{CWL}	SCK 脉冲宽度低电平		10			ns
t_{CES}	CSB 至 SCK 设置时间		10			ns
t_{EWH}	CSB 脉冲宽度高电平		3			ns
t_{OD}	SCK 至 MUXout 延迟时间				10	
SYNC 和 SYSREFREQ 时序						
t_{CS}	引脚至 OSCin 设置时间		2.5			ns
t_{CH}	引脚至 OSCin 保持时间		2			ns

6.7 典型特性



$f_{OUT} = 6\text{GHz}$, $f_{PD} = 200\text{MHz}$, 抖动=36fs 12k-20MHz

图 6-1. 闭环噪声



集成范围为 12k-20MHz

图 6-2. 集成抖动

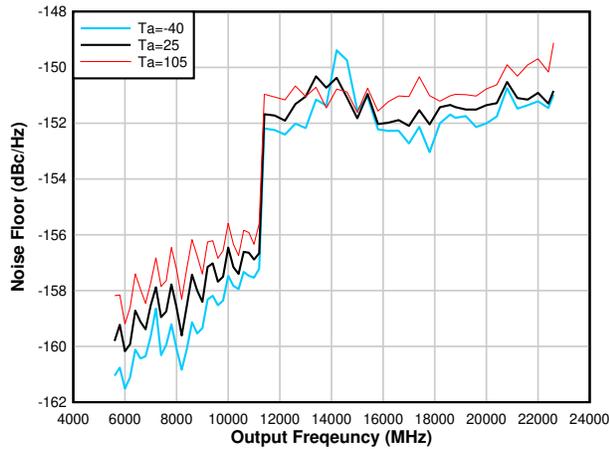
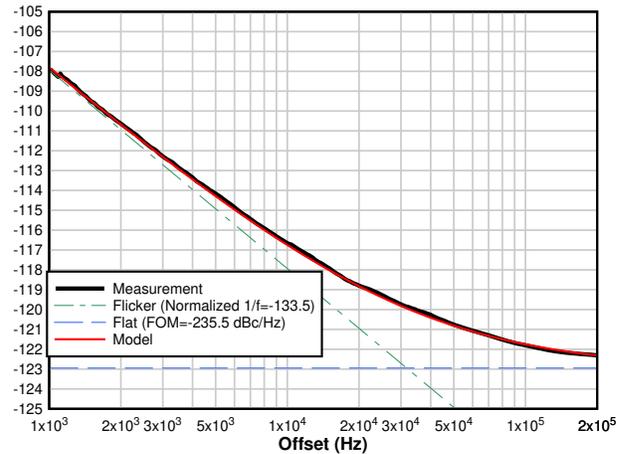


图 6-3. 本底噪声



$f_{OSC} = 100\text{MHz}$, $f_{PD} = 200\text{MHz}$, $f_{OUT} = 6\text{GHz}$, $OSC_2X = 1$
使用输入倍频器会略微降低 PLL 噪声指标。

图 6-4. PLL 噪声指标

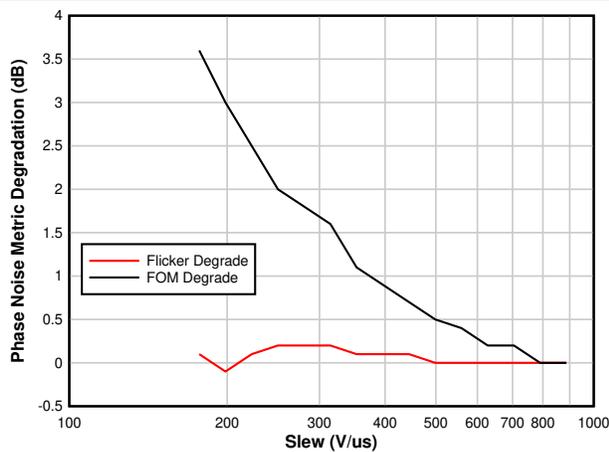


图 6-5. PLL 噪声指标降级与 OSCin 压摆率之间的关系

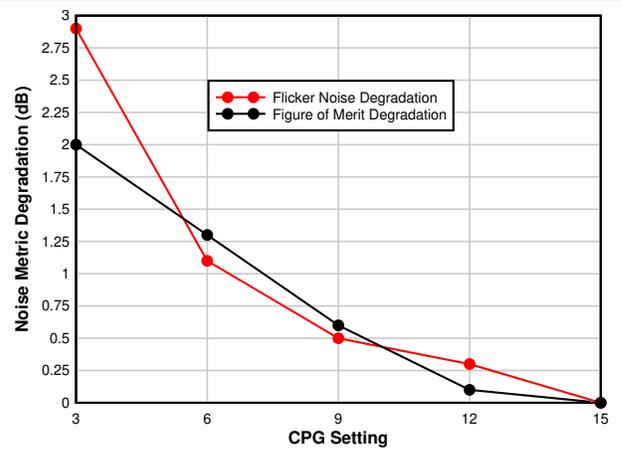
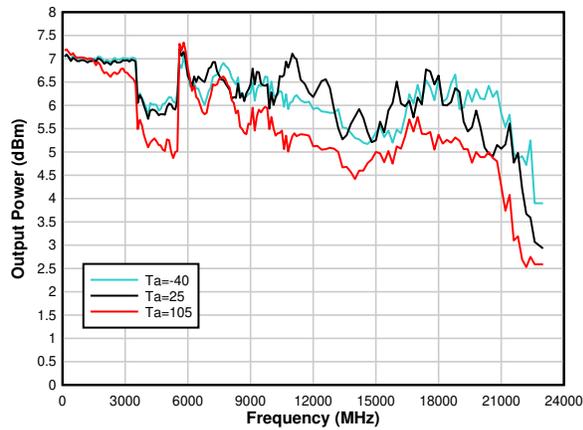


图 6-6. IPLL 噪声指标降级与电荷泵增益之间的关系



单端, OUTx_PWR=7, 电路板损耗去嵌入

图 6-7. 输出功率与温度间的关系

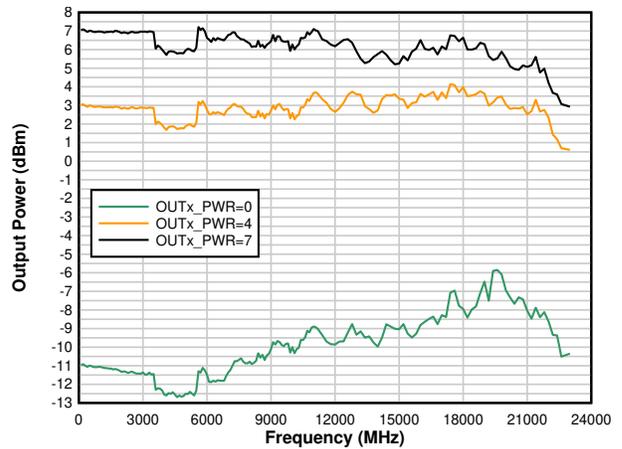


图 6-8. 输出功率与 OUTx_PWR 间的关系

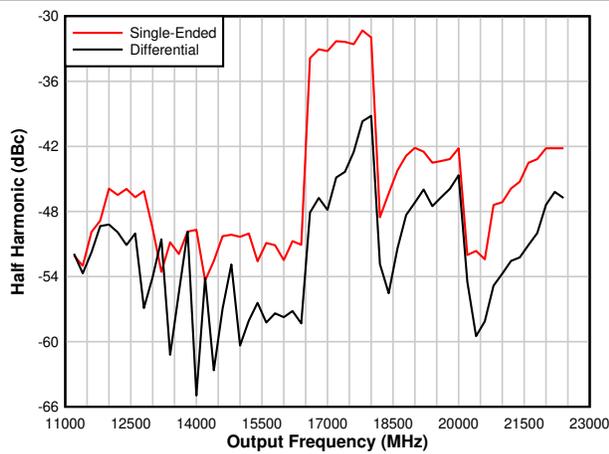


图 6-9. 启用了倍频器的输出半谐波

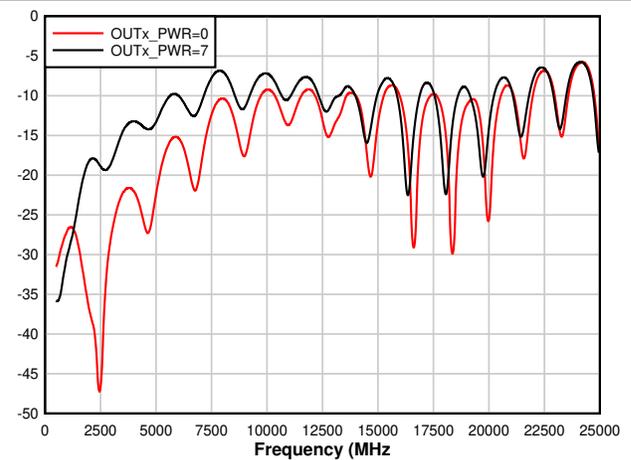


图 6-10. 射频输出回波损耗

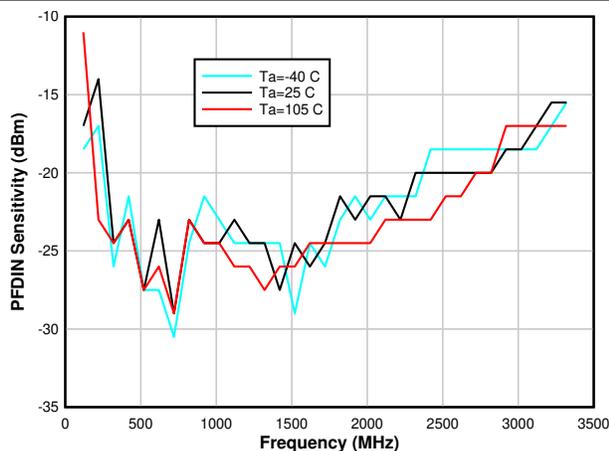


图 6-11. PFDIN 引脚输入灵敏度

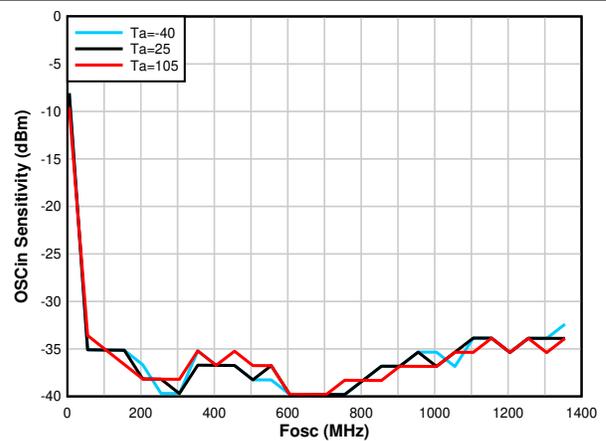


图 6-12. OSCin 输入灵敏度

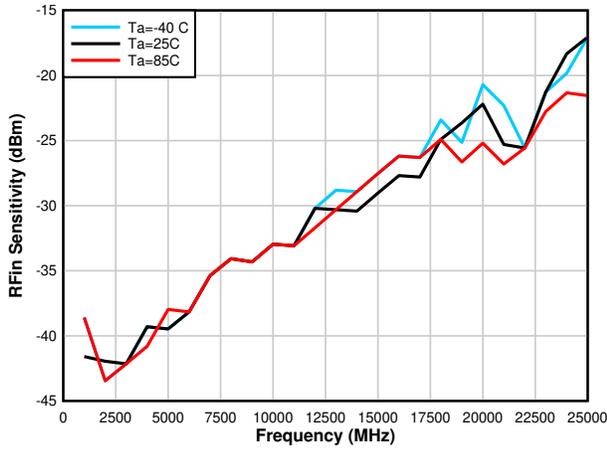


图 6-13. RFIN 输入灵敏度

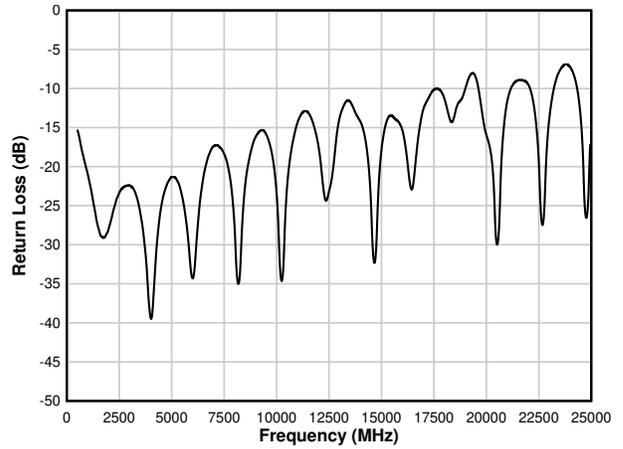
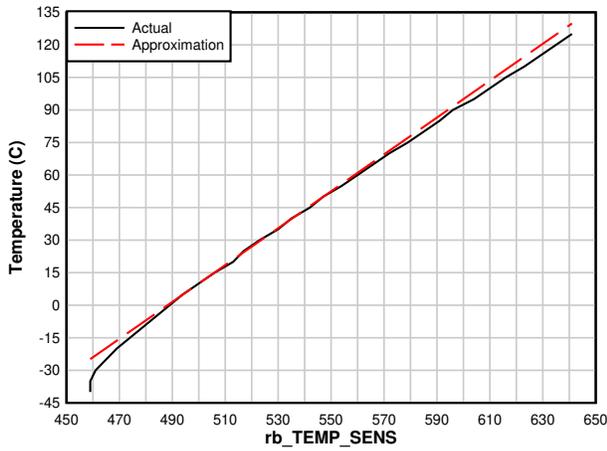
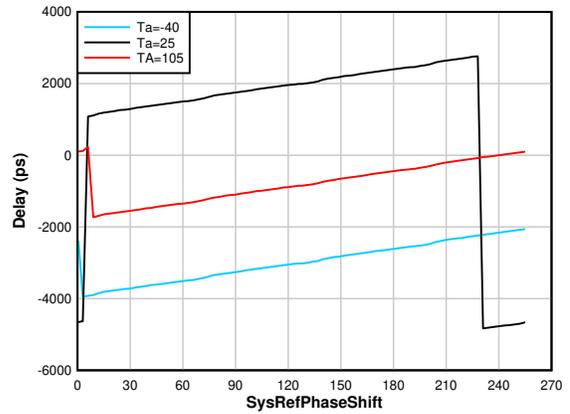


图 6-14. RFIN 回波损耗



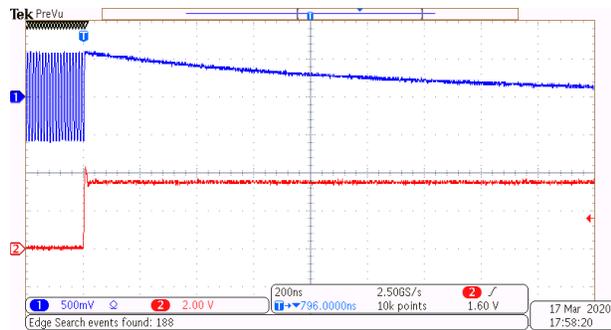
近似值 = $0.85 * rb_TEMP_SENS - 415$

图 6-15. 温度传感器读回



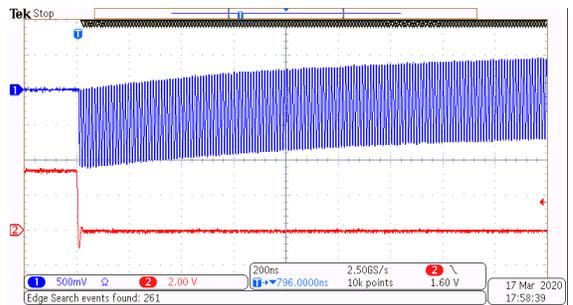
$f_{VCO} = 8.4\text{GHz}$, $SYSREF_DIV_PRE = 8$, 步长 = 7.6ps

图 6-16. SysRef 延迟与温度间的关系



这表明输出在短于 200ns 时能很好地实现静音

图 6-17. 静音引脚禁用输出时间



输出在短于 $200\mu\text{s}$ 时会取消静音。如果使用较小的交流耦合电容器，直流偏置电平可以更快地稳定下来。

图 6-18. 静音引脚启用输出时间

7 详细说明

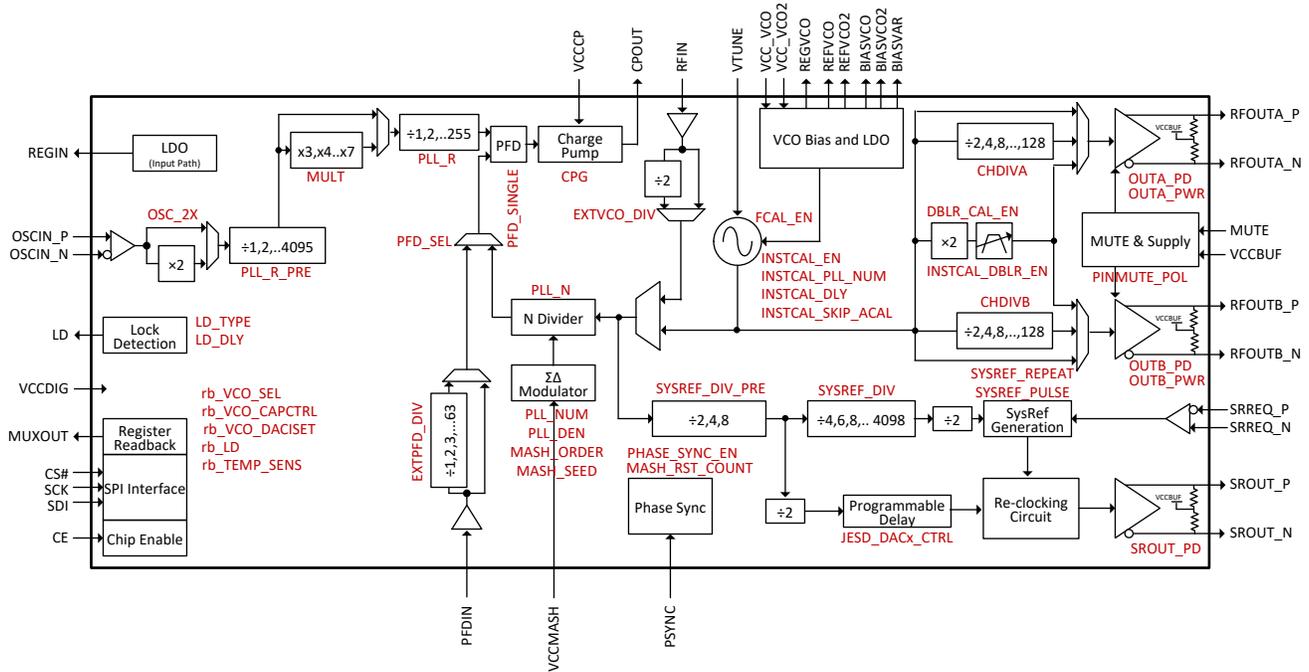
7.1 概述

LMX2820 是一款具有集成 VCO 和输出分频器的高性能宽带频率合成器。VCO 的工作频率范围为 5.65GHz 至 11.3GHz，它可以与输出分频器和倍频器结合使用，以产生 45MHz 至 22.6GHz 范围内的任何频率。在输入路径内，有两个分频器和一个乘法器，可实现灵活的频率规划。乘法器还可通过将频率移离整数边界来减少杂散。PLL 是分数 N PLL，具有高达三阶的可编程 Δ - Σ 调制器。分母是可编程的 32 位 long 值，它可以很容易地提供低于 1Hz 分辨率的精准频率步长，也可用于进行精确分数计算，如 1/3、7/1000 等。相位频率检测器在分数模式下最高可达 300MHz，在整数模式下最高可达 400MHz，但也必须考虑最小 N 分频器值。对于需要确定性或可调节相位的应用，PSYNC 引脚可以用来获得 OSCIN 和 RFOUT 引脚之间的确定性相位关系。完成此操作后，可以以 VCO 周期除以分母得出的非常精确的步长来调整相位。超快速 VCO 校准专为必须扫频或突然改变频率的应用而设计。JESD204B 支持包括使用 SROUT 输出来创建差分 SYSREF 输出，该输出可以是单个脉冲，也可以是在远离输出信号上升沿的可编程距离处出现的一系列脉冲。LMX2820 器件仅需要一个 3.3V 电源。内部电源由集成 LDO 提供，无需高性能外部 LDO。SPI 接口的数字逻辑与 1.8V 至 3.3V 的电压电平兼容。表 7-1 显示了几个分频器、乘法器和分数设置的范围。

表 7-1. 分频器、乘法器和分数设置

块	子块	字段	最小值	最大值	说明
输入路径	倍频器	OSC_2X	0 (= 1X)	1 (= 2X)	低噪声倍频器可用于增加相位检测器频率，以改善相位噪声并避免杂散。
	R 预分频器	PLL_R_PRE	1	4095	只有在输入乘法器或 R 后分频器的频率太高时，才使用 R 预分频器。
	输入乘法器	MULT	3	7	输入乘法器可有效避免杂散，增加 PLL 噪声。
	R 后分频器	PLL_R	1	255	该分频器的最大输入频率在 PLL_R=2 时为 500MHz，在 PLL_R>2 时为 250MHz。根据需要使用时 R 预分频器。
N 分频器	N 分频器	PLL_N	≥ 12	32767	最小分频取决于调制器阶数、VCO 频率/内核以及选择的内部/外部 VCO。
	分子	PLL_NUM	1	$2^{32} - 1 = 4294967295$	PLL_NUM 应小于 PLL_DEN
	分母	PLL_DEN	0	$2^{32} - 1 = 4294967295$	分母是可编程的，可以采用 1 和 $2^{32} - 1$ 之间的任何值；它不是一个固定值。
	分数阶	MASH_ORDER	0	3	分数阶在 0 到 3 内可编程；0 为整数模式。
PFDIN 路径	PFD 输入分频器	EXTPFD_DIV	1	63	
外部 VCO	外部 VCO 分频器	EXTVCO_DIV	1	2	如果 VCO 频率超过 11.3GHz，则使用 2 阶分频器，否则使用 1 阶分频器（旁路）。
SYSREF	预分频器	SYSREF_DIV_PRE	1	4	仅支持 1、2 和 4。在这个块中有一个额外的 2 阶分频器。预分频器总值为 $2 \times \text{SYSREF_DIV_PRE}$ 。
	分频器	SYSREF_DIV	0	2047	分频器总值为 $2 + \text{SYSREF_DIV}$ 。
	额外分频	无	4	4	这是一个固定的 4 阶分频器。
输出	OUTA 分频器	CHDIVA	2	128	这是一个 2 的幂分频器，支持 2、4、8、16、32、64 和 128。
	OUTB 分频器	CHDIVB	2	128	这是一个 2 的幂分频器，支持 2、4、8、16、32、64 和 128。
	输出频率	不适用	45	22600	低于 5.65GHz 时，使用通道分频器。5.65 - 11.23GHz 时，直接使用 VCO。11.3 - 22.6GHz 时，使用输出倍频器。

7.2 功能方框图



7.3 特性说明

7.3.1 基准振荡器输入

OSCIN 引脚用作器件的频率基准输入。该输入为高阻抗，需要在引脚处使用交流耦合电容。CMOS 时钟或 XO 可以驱动单端 OSCIN 引脚。还支持差分时钟输入，从而更容易与高性能系统时钟器件（例如 TI 的 LMK 系列时钟器件）连接。由于 OSCIN 信号被用作 VCO 校准的时钟，因此在 VCO 需要校准时，必须在 OSCIN 引脚上施加适当的基准信号。

7.3.2 输入路径

参考路径由一个 OSCIN 倍频器 (OSC_2X)、R 预分频器、倍频器 (MULT) 和一个 R 后分频器组成。OSCIN 倍频器 (OSC_2X) 可以将低 OSCIN 频率加倍。R 预分频器 (PLL_R_PRE) 和 R 后分频器 (PLL_R) 均向下分频，而乘法器 (MULT) 可进行倍频。添加乘法器的目的是减少整数边界杂散或提高相位检测器频率。使用方程式 1 计算相位检测器频率 f_{PD} ：

$$f_{PD} = f_{OSC} \times OSC_2X \times MULT / (PLL_R_PRE \times PLL_R) \quad (1)$$

7.3.2.1 输入路径倍频器 (OSC_2X)

OSCIN 倍频器可用于将输入基准频率翻倍，最高可达 500MHz。该倍频器会增加极少量噪声，可用于提高相位检测器频率以获得更好的相位噪声并避免杂散。当相位检测器频率增加时，PLL 相位噪声的平坦部分得到改善。使用输入路径倍频器时，有一些注意事项：

- 倍频器的工作原理是，对输入信号的上升沿和下降沿采取操作。
- 占空比需要接近 50%，否则杂散会非常高。
- 使用输入路径倍频器会使 PLL 闪烁噪声和品质因数降低约 1dB。但是，更高的相位检测器频率带来的好处超过了这一点。

7.3.2.2 R 预分频器 (PLL_R_PRE)

如果输入频率对于可编程乘法器 (MULT) 或 R 后分频器的输入来说太高，则可使用 R 预分频器降低输入频率。

7.3.2.3 可编程输入乘法器 (MULT)

MULT 可用于移动相位检测器频率以避免整数边界杂散。乘法器允许乘以 3、4、5、6 或 7。使用输入乘法器时，有一些注意事项：

- 可编程输入乘法器不能与输入路径倍增器同时使用。
- 可编程输入乘法器将 PLL 品质因数降低约 8dB；它是为了缓解杂散，而不是改善 PLL 噪声。
- 当 VCO 频率不接近 OSCIN 频率的倍数时，可编程输入乘法器更有效。

7.3.2.4 R 分频器 (PLL_R)

R 后分频器可进一步将频率分频为相位检测器频率。PLL_R=2 时，该分频器的最大输入频率限制为 500MHz。PLL_R>2 时，该分频器的最大输入频率限制为 250MHz。

7.3.3 PLL 相位检测器和电荷泵

相位检测器会比较 R 分频器和 N 分频器的输出，并产生与相位误差相对应的校正电流，直到两个信号同相对齐。该电荷泵电流可通过软件编程设定为很多不同的电平，从而允许修改 PLL 的闭环带宽。请参阅节 8.1，了解详情。相位检测器的极性是可配置的，以适应有源环路滤波器应用。

7.3.4 N 分频器和分数分频电路

完整的 N 分频器将 VCO 频率分频为相位检测器频率 (f_{PD})。通过改变这个总 N 分频器值来改变 VCO 的输出频率。总 N 分频器值由整数部分和分数部分组成，如方程式 2 所示：

$$N_{\text{Total}} = N_{\text{Integer}} + N_{\text{Fractional}} = \text{PLL_N} + (\text{PLL_NUM} / \text{PLL_DEN}) \quad (2)$$

7.3.4.1 整数 N 分频部分 (PLL_N)

由于需要总 N 分频器值来处理分数和高频，因此调制器阶数和 VCO 频率存在限制。

使用内部 VCO 时，真正的最小 N 分频基于 VCO 内核。VCO 内核频率可能会随工艺的变化而发生一些变化，因此合理的做法是基于 VCO 内核的最坏情况假设。

表 7-2. 内部 VCO 的最小 N 分频器值

f_{VCO}	最坏情况下的内核	MASH_ORDER = 0	MASH_ORDER = 1	MASH_ORDER = 2	MASH_ORDER = 3
5.65 - 6.35GHz	VCO1	12	18	19	24
6.35 - 7.3GHz	VCO2	14	21	22	26
7.3 - 8.1GHz	VCO3	16	23	24	26
8.1 - 9.0GHz	VCO4	16	26	27	29
9.0 - 9.8GHz	VCO5	18	28	29	31
9.8 - 10.6GHz	VCO6	18	30	31	33
10.6 - 11.3GHz	VCO7	20	33	34	36

对于外部 VCO，最小 N 分频略有不同。在 VCO 频率高于 11.3GHz 的情况下，必须通过设置 EXT_VCO_DIV 位将 VCO 频率除以 2。

表 7-3. 外部 VCO 的最小 N 分频器

$f_{RFIN} / (R_{FIN} \text{ 分频器})$	MASH_ORDER = 0	MASH_ORDER = 1	MASH_ORDER = 2	MASH_ORDER = 3
0.5 - 4GHz	12	12	14	20
4 - 5.5GHz	12	15	18	24
5.5 - 7GHz	14	18	20	26
7 - 8.5GHz	16	23	24	26
8.5 - 10GHz	20	28	29	35
10 GHz - 11.3 GHz	20	32	33	35

7.3.4.2 分数 N 分频部分 (PLL_NUM 和 PLL_DEN)

N 分频器包括分数补偿，可以实现从 1 到 $(2^{32} - 1)$ 的任何分母。总 N 分频值的分数部分为 $N_{\text{Fractional}} = \text{PLL_NUM} / \text{PLL_DEN}$ 。分母越大，输出的分辨率阶跃越精细。例如，即使使用 $f_{\text{PD}} = 200\text{MHz}$ ，输出也可以 $200\text{MHz} / (2^{32} - 1) = 0.047\text{Hz}$ 的阶跃递增。

7.3.4.3 调制器阶数 (MASH_ORDER)

分数调制器阶数是可编程的并且对杂散有影响。从理论上讲，分数调制器阶数越高，就越能将较低频率的杂散能量推到较高频率。但是，高阶调制器会增加更多噪声并增加最小 N 分频比。高于 1 的调制器阶数会产生次分数杂散，具体取决于 FDEN 的值，它是分数 $\text{PLL_NUM} / \text{PLL_DEN}$ 在被减到最低项之后的分母值。

表 7-4. MASH_ORDER 的粗略选择指南

MASH_ORDER	使用场合
整数模式	如果不需要分数分频电路，则整数模式 (MASH_ORDER = 0) 适用。它的优点是允许最低 N 分频器值。请注意，在整数模式下，不能用 MASH_SEED 移动输出相位。
1 阶调制器	一阶调制器适用于分母较小的情况。理论上，如果 $\text{FDEN} < 7$ ，则一阶调制器的所有分数杂散将最低。如果分数可被 2 整除，则将存在次分数杂散，必须与初级杂散水平进行权衡。如果 $f_{\text{PD}} / \text{FDEN}$ 偏移处的初级分数杂散远远超出环路带宽，一阶调制器通常是一个不错的选择。
2 阶调制器	二阶调制器提供良好的杂散。如果 FDEN 为奇数，则没有次分数杂散，因此在 $\text{FDEN} > 8$ 且 FDEN 为奇数的情况下，二阶调制器才有意义。如果 FDEN 非常大，例如 1000000，则该分数可能是随机的，如果它没有过度限制 N 分频器值，则可以考虑使用三阶调制器。
3 阶调制器	如果 $\text{FDEN} > 9$ 并且 FDEN 不能被 3 整除，则三阶调制器是一个很好的通用起点。

7.3.5 LD 引脚锁定检测

锁定检测提供了 PLL 是否处于锁定状态的粗略指示。支持的锁定检测一般有两种类型：校准状态和间接 vtune。当 VCO 开始校准时，校准状态锁定检测开始为低电平。如果 $\text{LD_VTUNE_EN} = 1$ ，则在此延迟上增加 $4 \times \text{LD_DLY}$ 相位检测器周期。间接 vtune 锁定检测是通过建立一个间接的内部电压来模拟 VTUNE 引脚上的实际电压。当此电压超出范围时，Vtune 锁定检测为低电平。校准状态和 Vtune 锁定检测也可以结合使用。如果绕过 VCO 校准（例如完全辅助模式或即时校准），此锁定检测仅用于 Vtune 功能。

7.3.6 MUXOUT 引脚和读回

读回对于获取有关器件状态的信息很有用。可以读回的字段是：

1. 用于确认编程的原始寄存器值。
2. VCO 锁定检测状态 (rb_LD)。
3. VCO 校准信息 (rb_VCO_SEL ; rb_VCO_CAPCTRL ; rb_VCO_DACISSET) 。
4. 内核温度 (rb_TEMP_SENS)。使用此功能，请设置 $\text{TEMPSENSE} = 1$ 。方程式 3 会计算读回温度：

$$\text{温度 } [^{\circ}\text{C}] = 0.85 \times \text{rb_TEMP_SENSE} - 415 \quad (3)$$

测量精度为 $\pm 5^{\circ}\text{C}$ 。

7.3.7 内部 VCO

LMX2820 包括一个完全集成的 VCO。VCO 从环路滤波器获取电压并将其转换为频率。VCO 频率与其他频率的关系表示为 $f_{\text{VCO}} = f_{\text{PD}} \times (\text{PLL_N} + \text{PLL_NUM} / \text{PLL_DEN})$ 。

7.3.7.1 VCO 校准

为了降低 VCO 调谐增益并因此提高 VCO 相位噪声性能，将 VCO 频率范围划分为几个不同的频带。5.65 至 11.3GHz 的整个范围涵盖了一个倍频程，使得分频器可以处理低于下限的频率。这就需要进行频率校准以确定给定所需输出频率的正确频带。只要 R0 寄存器被编程为 $\text{FCAL_EN} = 1$ ，就会激活频率校准例程。在 VCO 校准开始之前必须存在有效的 OSCIN 信号。VCO 还具有一个内部幅度校准算法来优化相位噪声，该算法在 R0 寄存器被编程时也会被激活。实现此目的的理想内部设置取决于温度。连续锁定的最大容许漂移 ΔTCL 在电气规格部分有说明。对于此器件，数字 125°C 表示如果器件在建议运行条件下运行，则不会失锁。

7.3.7.1.1 确定 VCO 增益和范围

VCO 增益可以根据内核的不同而变化，也会随着温度和工艺的变化而变化，但表 7-5 给出了预期的 VCO 增益的粗略指南。

表 7-5. 近似 VCO 增益和范围

VCO 内核	Fmin (MHz)	Fmax (MHz)	KvcoMax	KvcoMin
VCO1	5650	6350	84	115
VCO2	6350	7300	94	131
VCO3	7300	8100	123	156
VCO4	8100	9000	132	169
VCO5	9000	9800	131	163
VCO6	9800	10600	152	185
VCO7	10600	11300	130	151

7.3.8 通道分频器

通道分频器实际上是一个具有多个段和抽头点的分频器，在 RFOUTA 和 RFOUTB 之间共享。一般来说，这可以作为独立的分频器值运行，但有一个例外情况：如果为一个输出选择了 128 的分频器值，则必须为另一个输出选择这个分频器（尽管通道分频器仍然可以被绕过）。请注意，当输出频率不同时，较高频率的输出将在与其他输出的频率偏移相等时具有次谐波杂散。

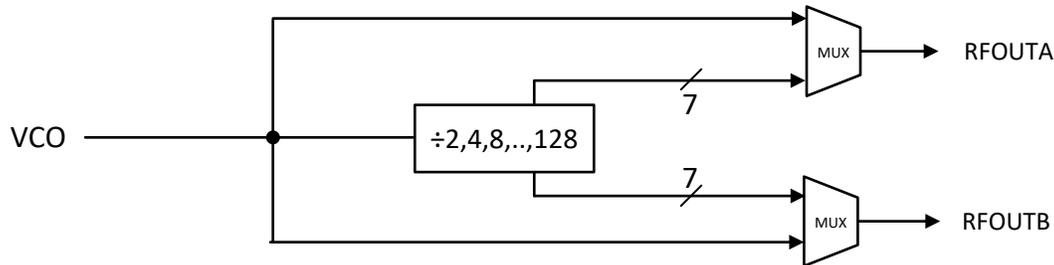


图 7-1. 通道分频器

7.3.9 输出频率倍频器

倍频器用于产生两倍于 VCO 频率的输出频率，并在 $OUTx_MUX = 2$ 时选择。当 VCO 频率加倍时，基本（非加倍）VCO 频率确实泄漏到输出，这就是次谐波（0.5 倍）。为了最大限度地减少这些次谐波，可调谐滤波器跟踪输出频率，并滤除此次谐波以及其他不需要的谐波（1.5X、2X、3X...）。只要完成 VCO 校准，就会自动触发此可调谐滤波器的校准。

7.3.10 输出缓冲器

输出缓冲器是集电极开路架构，但 $50\ \Omega$ 上拉电阻器集成在该器件中。在较低频率下，假设输出阻抗为 $50\ \Omega$ 是合理的，但在较高频率下，寄生会导致输出阻抗不同。OUTx_PWR 编程字段会设置发射极电流并调整功率电平。

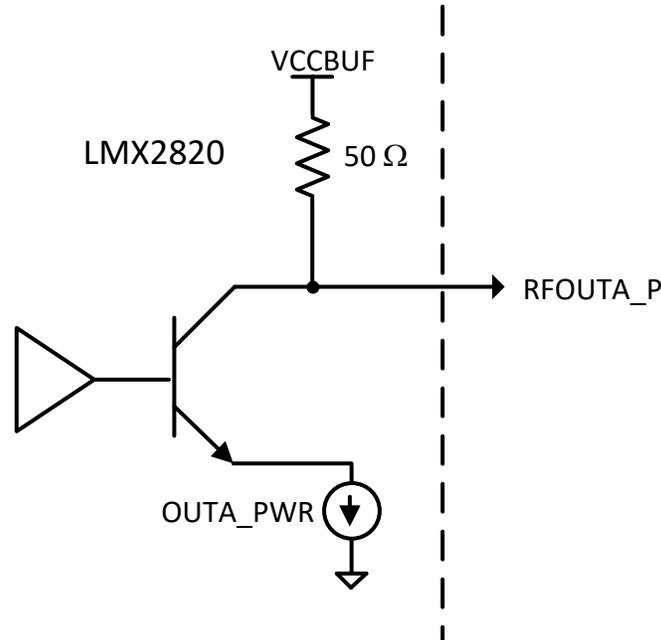


图 7-2. 输出缓冲器结构

7.3.11 断电模式

LMX2820 可以使用 **CE** 引脚或 **POWERDOWN** 位上电和断电。在断电模式下，大部分器件都被关闭。但在断电模式下，只要电源引脚仍然通电，器件会保留其编程信息并且仍然可以进行编程。由于内部 **LDO** 也会关闭，因此请注意，如果 **FCAL_EN = 1**，使用 **POWERDOWN** 编程寄存器 **R0** 将重新校准 **VCO**。在这种情况下，应该使用 **FCAL_EN = 1** 重新编程寄存器 **R0**，以确保 **LDO** 在发生这种情况时处于适当的偏置电平。如果使用即时校准，则无需对寄存器 **R0** 进行额外编程。

7.3.12 针对多个器件的相位同步功能

在许多情况下，需要同步脉冲来确保器件具有确定性相位。对相位同步的要求取决于某些设置条件。如果同步脉冲的时序不是很关键，那么可以通过在软件上切换 **INPIN_IGNORE** 位来完成。当同步脉冲有严格时序要求时，则必须通过引脚完成，并且 **OSCIN** 引脚的设置和保持时间至关重要。下一节基于输入和输出频率对相位同步进行了分类。

7.3.12.1 SYNC 类别

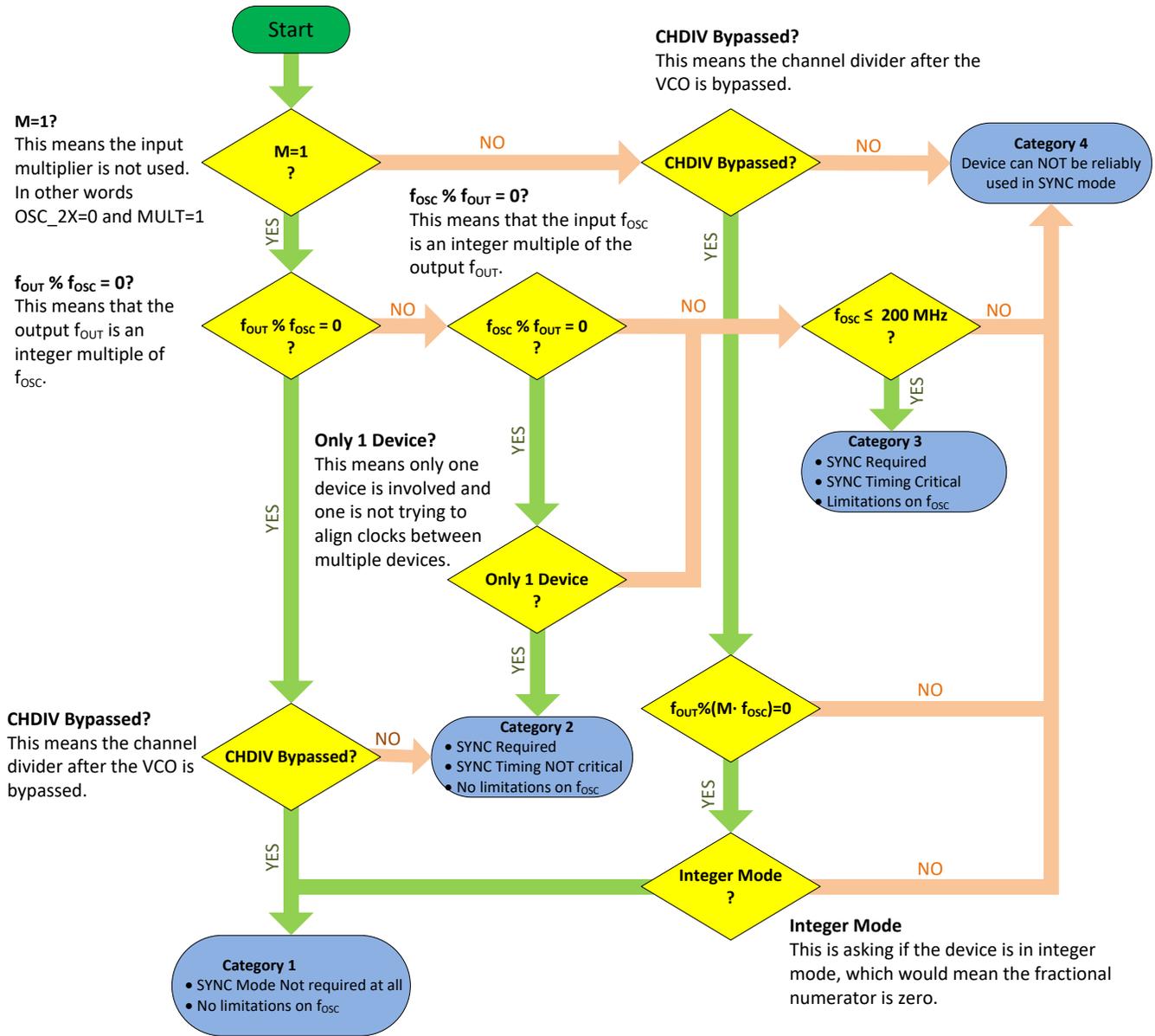


图 7-3. 同步流程图

7.3.12.2 相位调整

7.3.12.2.1 使用 MASH_SEED 创建相移

MASH_SEED 字可以使用 Σ - Δ 调制器相对于输入基准移动输出信号相位。如果发送 SYNC 脉冲 (软件或引脚) 或使用 MASH_RST_N 复位 MASH, 则此相移从初始相位为零开始。可以根据 MASH_SEED 计算相移。

$$\text{相移 (度)} = 360 \times (\text{MASH_SEED} / \text{PLL_DEN} / \text{CHDIV}) \tag{4}$$

对于 MASH_SEED, 有一些注意事项:

- 当 PLL_NUM = 0 时可以进行相移, 但 MASH_ORDER 必须大于零。
- 对于 MASH_ORDER = 1, 只有当 MASH_SEED 是 PLL_DEN 的倍数时才会发生相移。

- 设置 MASH_SEED > 0 会影响分数杂散。如果与 PLL_NUM = 0 一起使用，它会产生分数杂散。如果与非零分子一起使用，它有助于或有损杂散，并且可以使用 TI PLLatinum Sim 工具模拟这种效果。

7.3.12.2.2 静态与动态相位调整

MASH_SEED 字的编程是累积的。这意味着将编程值添加到当前值。每当重新校准 MASH_RST_N 位或 VCO 时，当前值都会设置为 MASH_SEED。静态相位调整包括将 MASH_SEED 字设置为所需值，并切换 MASH_RST_N 位以强制使用该值。动态相位调整包括将 MASH_SEED 设置为较小的值，并重复编程 MASH_SEED 字，将其添加到 MASH_SEED 的累积值。

7.3.12.2.3 相位调节的精细调整功能

相位同步是指在每个上电周期和每次都假设遵循给定编程过程的情况下获得相同相位关系的过程。但是，在输出频率较高、周期较短的情况下，可能需要进行一些调整才能获得更准确的结果。至于相位同步的一致性，唯一的变化来源可能是如果 VCO 校准选择了不同的 VCO 内核和电容器，这可能会引入双峰分布，大约有 10ps 的变化。如果这 10ps 是不可取的，那么可以通过使用基于即时校准的 VCO 校准或完全辅助 VCO 校准来消除它。

通过器件的延迟因器件而异，可能约为 60ps。这种部件间的差异可以使用 MASH_SEED 来校准。通过器件的延迟变化也在 +2.5ps/°C 的范围内变化，但同一电路板上的器件可能具有相似的温度，因此这会有所出入。总之，可以使不同器件具有一致的延迟，并且可以通过 MASH_SEED 调整全部残留错误。当周期较短时，这往往仅会在输出频率较高时才会出现问题。

7.3.13 SYSREF

LMX2820 可以生成一个与 f_{OUT} 同步的 SYSREF 输出信号，并具有可编程延时。该输出可以是单个脉冲、一系列脉冲或连续的脉冲流。要使用 SYSREF 功能，首先必须将 PLL 置于 SYNC 模式且 PHASE_SYNC_EN = 1。

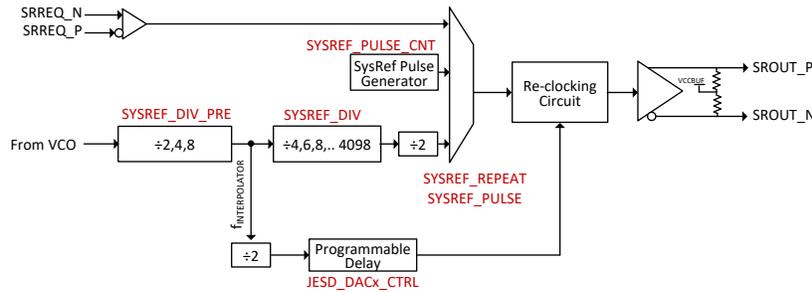


图 7-4. SYSREF 功能图

SYSREF 特性使用 SYSREF_DIV_PRE 分频器来生成 f_{INTERPOLATOR}。该频率用于对 SRREQ 引脚的上升沿和下降沿进行重新计时。在主模式下，f_{INTERPOLATOR} 会进一步除以 2 × SYSREF_DIV 以生成有限系列脉冲或连续脉冲流。

可以使用 JESD_DAC1_CTRL、JESD_DAC2_CTRL、JESD_DAC3_CTRL 和 JESD_DAC4_CTRL 字对延时进行编程。通过将这些字连接成一个更大的字，称为“SysRefPhaseShift”，可以求出相对延时。这些字的总和应始终为 63。延时步长的大小为：

$$\text{SysRefDelayStepSize} = \text{SYSREF_DIV_PRE} / (126 * f_{\text{VCO}})$$

表 7-6. SysRefPhaseShift 与 JESD_DACx_CTRL

SysRefPhaseShift	JESD_DAC1_CTRL	JESD_DAC2_CTRL	JESD_DAC3_CTRL	JESD_DAC4_CTRL
0	63	0	0	0
1	62	1	0	0
...	0	0
62	1	62	0	0
63	0	63	0	0
64	0	62	1	0
...	0	0

表 7-6. SysRefPhaseShift 与 JESD_DACx_CTRL (continued)

125	0	1	62	0
126	0	0	63	0
127	0	0	62	1
...	0	0
188	0	0	1	62
189	0	0	0	63
190	1	0	0	62
...	...	0	0	...
251	62	0	0	1

不能总是认为 SysRefPhaseShift 的最小值会提供最低延时。换句话说，可能会出现一种环绕效应，即从最长延迟突然转变到最短延迟。这种突变发生的代码主要取决于 f_{VCO} 和 SYSREF_DIV_PRE。

7.3.14 快速 VCO 校准

可以减少 VCO 校准所需的时间。表 7-7 显示了 VCO 校准的一般方法。

表 7-7. VCO 校准类型

校准类型	说明
无辅助	用户不用执行任何操作来提高 VCO 校准速度，但用户指定的 VCO_SEL、VCO_DACISSET 和 VCO_CAPCTRL 值确实会影响 VCO 校准的起点。
部分辅助	每次频率变化时，在检查 FCAL_EN 位之前，用户根据数据表中指定的值为 VCO 内核 (VCO_SEL)、频带 (VCO_CAPCTRL) 和幅度 (VCO_DACISSET) 提供初始起点。
完全辅助	用户强制启用 VCO 内核 (VCO_SEL)、幅度设置 (VCO_DACISSET) 和频带 (VCO_CAPCTRL)，并手动设置相应的值。如果两个频点之间相差不超过 5MHz 并且在同一个 VCO 内核上，用户可以使用线性插值为这两个点之间的任何频率设置 VCO 幅度和 Capcode。
即时校准	用户对器件进行初始化，以生成即时校准。只要给器件上电，就可以使用即时校准进行超快速的 VCO 校准。

7.3.15 双缓冲 (影子寄存器)

双缓冲 (也称为“影子寄存器”) 允许用户对多个寄存器进行编程，而无需让它们实际生效。然后当 R0 寄存器被编程后，这些寄存器就会生效。如果想要快速改变频率并且需要多次寄存器写入，这将特别有用。当 DBLBUF_EN = 1 时，为以下寄存器启用双缓冲：PLL_N、PLL_NUM、PLL_DEN、MULT、PLL_R、PLL_R_PRE、MASH_ORDER 和 PFD_DLY。

7.3.16 输出静音引脚和乒乓方法

可以使用 MUTE 引脚对输出缓冲器进行静音或取消静音。该引脚的极性可通过 PINMUTE_POL 位进行编程。当输出静音时，PLL 保持锁定状态，因此这可用于组合多个合成器以加快锁定时间。具有静音输出的 PLL 可以接受编程命令，甚至可以锁定到新频率。当输出静音时，不需要的信号会大大衰减，并且可以通过射频开关进一步衰减。

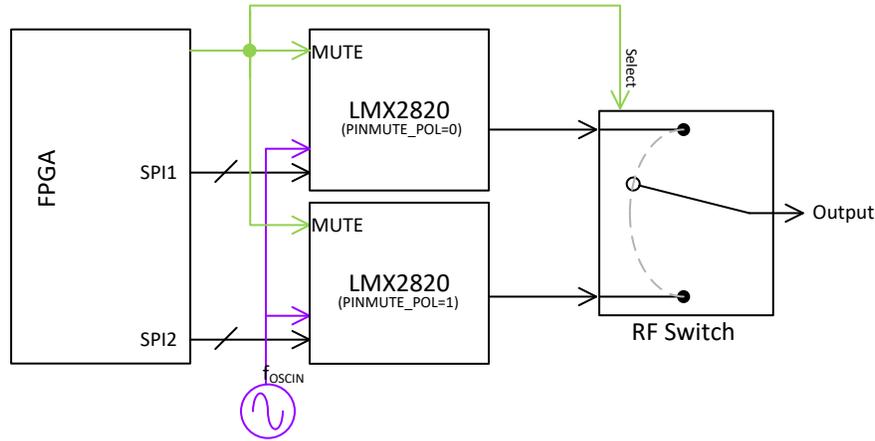


图 7-5. 输出静音引脚

7.4 器件功能模式

LMX2820 有六种基本模式，可供选择使用内部或外部 VCO，以及将 VCO 的输出发送到相位检测器的三种不同方式。

表 7-8. 器件功能模式汇总

VCO 模式	反馈模式	注释
内部	内部反馈	使用内部 VCO，并且 VCO 在内部反馈到相位检测器。
	PFDIN 外部反馈	使用内部 VCO，但输出通过外部混频器进行下变频并馈送到 PFDIN 引脚。
	RFIN 外部反馈	使用内部 VCO，输出通过外部混频器进行下变频并馈送到 RFIN 引脚。
外部	内部反馈	对于某些应用，尤其是窄带应用，外部 VCO 可能能够提供比内部 VCO 更好的相位噪声性能。如果可以通过使用外部 VCO 来避免输出分频器或倍频器，则可能在相位噪声和谐波方面具有优势。
	PFDIN 外部反馈	理论上，外部 VCO 可以与外部相位检测器一起使用，以获得最终的相位噪声。这确实需要高性能源、混频器和 VCO 才能充分利用此模式。
	RFIN 外部反馈	使用外部 VCO，输出通过外部混频器进行下变频并馈送到 RFIN 引脚。

7.4.1 外部 VCO 模式

LMX2820 也可与外部 VCO 一起使用，但请注意，不能使用输出缓冲器，而 SYSREF 功能则可以。电荷泵电压的最大输出电压约为 2.5V，但这对于大多数 VCO 来说是不够的。为此，建议使用有源滤波器，它可以使电荷泵电压保持在 1.2V 左右偏置并提供更高的输出电压。如果 VCO 频率高于 11.3GHz，则必须使能 EXTVCODIV 位，否则应为零。

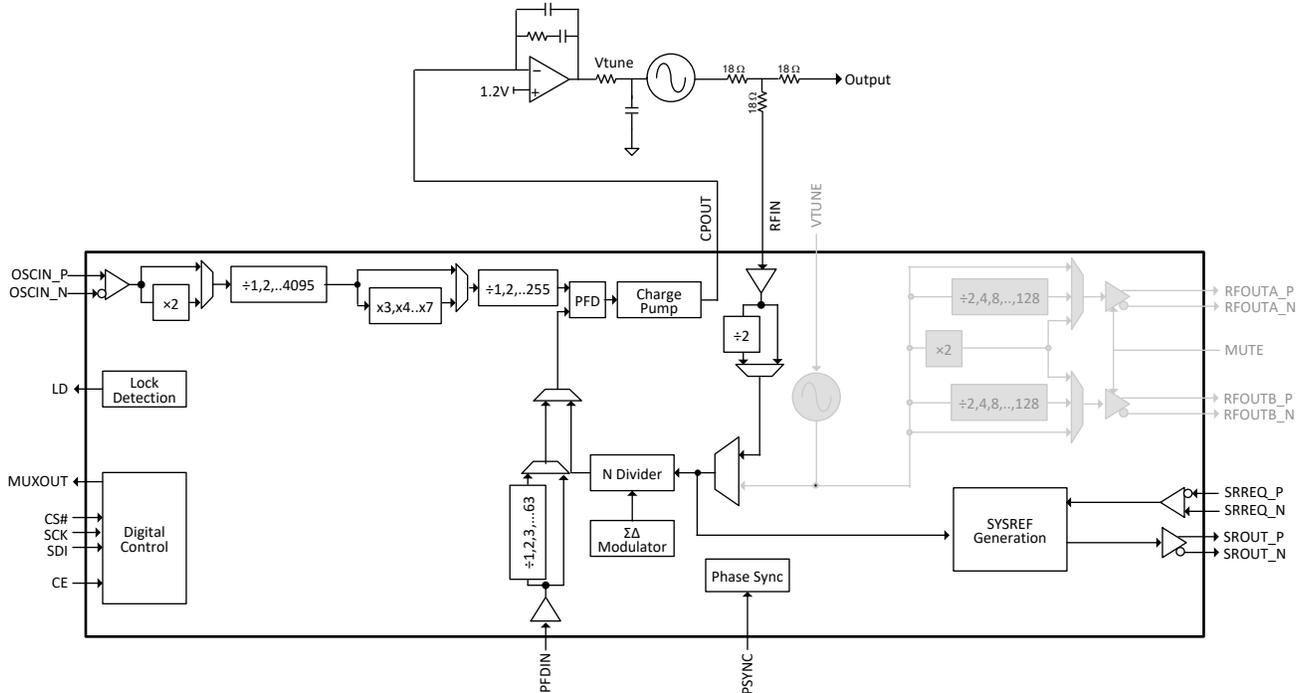


图 7-6. 外部 VCO 模式

使用外部 VCO 时，必须手动设置 PFD_DLY 字，如表 7-9 所示。对于集成 VCO 的情况，不需要对这个字进行编程。需要将 PFD_DLY_MANUAL = 1 才能手动设置 PFD_DLY。

表 7-9. 外部 VCO 模式的 PFD_DLY_SEL 设置

f_{RFIN} / (RFIN 分频器)	MASH_ORDER = 0	MASH_ORDER = 1	MASH_ORDER = 2	MASH_ORDER = 3
0.5 - 4GHz	1	1	2	4
4 - 5.5GHz	2	2	3	5
5.5 - 7GHz	3	3	4	6
7 - 8.5GHz	4	4	5	7
8.5 - 10GHz	5	5	6	8
> 10 GHz	6	6	7	9

7.4.2 外部反馈输入引脚

LMX2820 让用户可以选择使用外部混频器和干净源对 VCO 频率进行降频，以改善 PLL 噪声。该频率可以通过 RFIN 或 PFDIN 引脚输入。

7.4.2.1 PFDIN 外部反馈模式

PFDIN 引脚允许在外部用混频器对 VCO 频率进行降频，以获得更低的 N 分频器值。EXTPFID_DIV 允许将分频值降到 1，以获得尽可能低的相位噪声。使用 PFDIN 引脚时，需要通过设置 PFD_SINGLE = 3 来启用单 PFD 模式。此设置将 PLL 品质因数降低约 3dB，但可以使反馈分频器一直下降到 1。如果无法利用最低 N 分频器，请考虑使用 RFIN 引脚的方法，该引脚具有更高的最小 N 分频器值，但 PLL 品质因数不会降低。

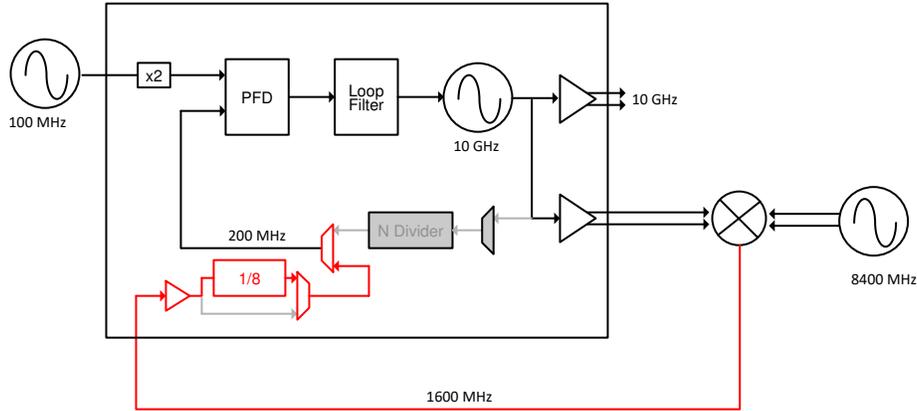


图 7-7. 使用 PFDIN 引脚和内部 VCO 的外部反馈

7.4.2.2 RFIN 外部反馈模式

RFIN 引脚还可用于允许较低的 N 分频器值。当反馈分频值较高或需要分数分频电路时，这是有意义的。这不需要像 PFDIN 引脚用于外部反馈时那样使用单 PFD 模式。

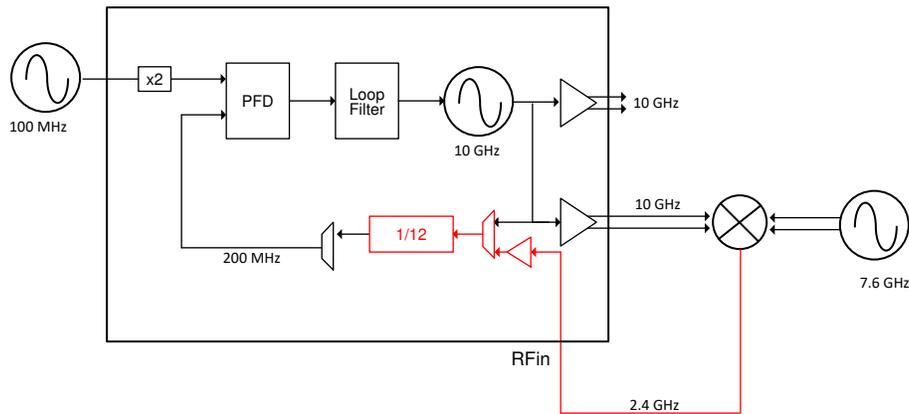


图 7-8. 使用 RFIN 引脚和内部 VCO 的外部反馈

8 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

8.1.1 处理未使用的引脚

在某些应用中，并非会用到所有引脚。表 8-1 讨论了如何处理这些未使用的引脚。

表 8-1. 处理未使用的引脚

情形	引脚应用对象	注释
单端输入	OSCIN_N	通过一个 50 Ω 电阻将该引脚交流耦合到 GND。为了获得更优杂散，来自 OSCIN_P 和 OSCIN_N 的阻抗应该相似
单端输出	RFOUTA_N, RFOUTB_N	将此引脚端接到看起来与所使用输出相似的负载。这通常是一个交流耦合到地的 50 Ω 电阻器。这是为了尽量减少谐波。
未使用的输入	RFIN、PFDIN、SRREQ 引脚	此引脚可以悬空。该特性可以在软件中关闭。
未使用的输出	RFOUT 引脚、SROUT 引脚	此引脚可以悬空。该特性可以在软件中关闭。
未使用的数字引脚	输入引脚	将此引脚接地。

8.1.2 外部环路滤波器

LMX2820 需要一个应用特定的外部环路滤波器，并且可以通过 PLLatinum Sim 进行配置。对于 LMX2820 来说，从 VTUNE 引脚向外看到的阻抗很重要。对于三阶滤波器，该阻抗由元件 C3 主导，对于二阶滤波器，该阻抗由元件 C1 主导。如果与该引脚并联的电容至少有 1.5nF，则 VCO 相位噪声将尽可能接近理想值。如果电容较小，则 100kHz 至 1MHz 区域中的 VCO 相位噪声会降低。该电容应靠近 VTUNE 引脚放置。

8.1.3 使用即时校准

即时校准允许器件在 2.5μs 内快速校准 VCO，并选择相同的校准设置 (rb_VCO_SEL、rb_VCO_DACISSET、rb_VCO_CAPCTRL)。一旦这个特性被初始化，那么就没有改变 VCO 频率的开销了。器件最初上电时，需要进行此初始化，但只要不断开电源引脚的电源，设置就会保留。以下过程详细说明了如何完成此操作：

- 为器件正常加电。
- 对 INSTCAL_DLY = $t_{DLY} \times f_{OSC}$ (单位 : MHz) / $2^{CAL_CLK_DIV}$ 进行编程。 t_{DLY} 是即时校准所需的超时计数，基于引脚 3 上的偏置电容。

表 8-2. 确定即时校准超时

引脚 3 电容	PLL 1/f 噪声降级	最小 t_{DLY}
0.47 μF	1 dB	2.5 μs
C	0-1dB	$2.5 \mu s \times C / (0.47 \mu F)$
4.7 μF	0 dB	25 μs

- 对用于即时校准的寄存器 R1 进行编程。
 - 设置 INSTCAL_EN = 1。将 INSTCAL_EN 从 0 切换到 1 的操作会重置即时校准设置，并设置器件以在下次使用 FCAL_EN = 1 对寄存器 R0 进行编程时生成设置。
 - 如果使用输出倍频器，则设置 INSTCAL_DBLR_EN = 1，否则将其设置为 0
- 将器件编程为输出 5.65GHz。
- 对 INSTCAL_PLL_NUM = $2^{32} \times (PLL_NUM / PLL_DEN)$ 进行编程。
- 将 FCAL_EN = 1 写入 R0 以生成校准设置。

7. 将 `FCAL_EN = 0` 写入 `R0`，使器件锁定到 5.65GHz
8. 等待锁定检测变为高电平。

现在，器件已针对执行此操作的特定相位检测器频率进行初始化。只要不从器件上移除电源，然后相位检测器的频率不发生改变，那么后续的频率改变可以使用即时校准来完成。要在即时校准初始化后改变频率，请执行以下操作：

1. 写入 `INSTCAL_PLL_NUM`、`PLL_N`、`PLL_NUM`、`PLL_DEN` 的值。
2. 写入 `R0` 以触发校准 (`DBLR_CAL_EN = 0`，`FCAL_EN = 0`)。

8.2 典型应用

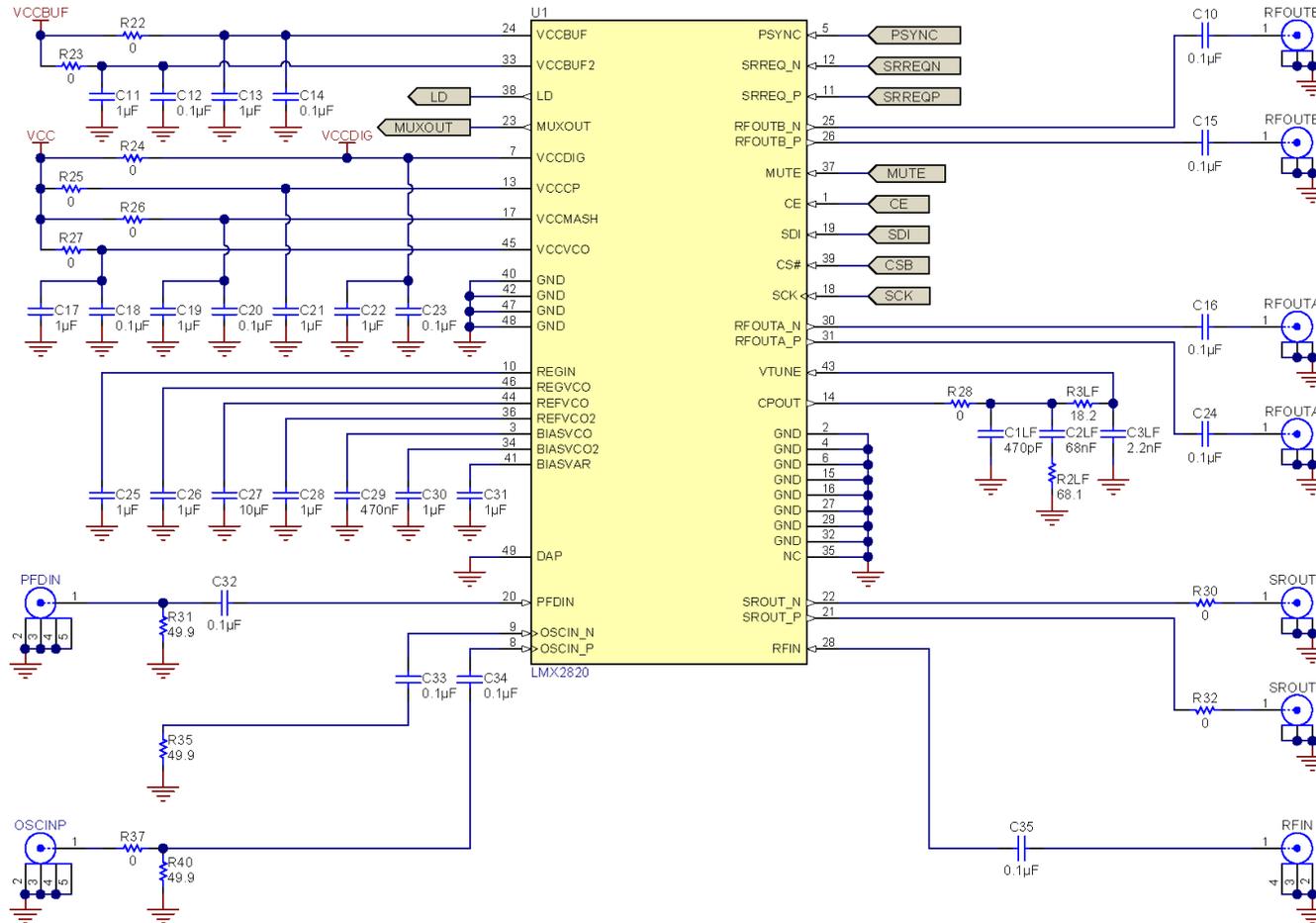


图 8-1. 典型应用原理图

8.2.1 设计要求

环路滤波器的设计很复杂，通常使用软件完成。PLLatinum Sim 软件是执行此操作以及设计和仿真的理想资源。在本例中，假设采用整数设计，并且这专为优化抖动而设计，许多时钟应用也是如此。在本例中，假设从 100MHz 时钟产生 6GHz 的输出频率。工程师必须在进行环路滤波器设计之前据此选择 VCO 频率和相位检测器。

VCO 频率必须在 5.65 到 11.3GHz 的范围内，输出频率必须能够整除该频率，或者是所选 VCO 频率的两倍（在 VCO 频率高于 11.3GHz 的情况下）。在本例中，这意味着 VCO 频率为 6GHz。下一步是选择相位检测器频率。相位检测器频率必须能够整除输入频率，如果使用 OSC_2X 功能，它可以是输入频率的两倍。此外，如果相位检测器频率能够整除 VCO 频率，杂散性能会好得多。因此，通过选择 200MHz 的相位检测器频率并使用 OSC_2X 倍频器，该器件可以在整数模式下使用，并且可以实现理想的相位噪声性能。

表 8-3. 设计参数

符号	说明	值	单位
f_{OSC}	这是给出的输入频率。	100	MHz
f_{OUT}	这是给出的输出频率。	6000	MHz
f_{VCO}	这是选择用以生成输出频率的 VCO 频率。	6000	MHz
f_{PD}	这是选择用以实现理想噪声性能的相位检测器频率。	200	MHz

8.2.2 详细设计过程

当频率已知时，必须设计环路滤波器。相位噪声在一定带宽上的积分（抖动）是一种性能规格，可转换为信噪比。环路带宽内的相位噪声主要由 PLL 控制，而环路带宽外的相位噪声主要由 VCO 控制。

通常，如果环路带宽设计为两者相交的点，则抖动最低。较高相位裕度的环路滤波器设计在环路带宽处的峰值较小，因此抖动较低。这样做的代价是在设计时必须考虑更长的锁定时间和杂散。

PLLatinum Sim 软件在设计环路滤波器时非常有用，可在 TI 网站上获得。使用该工具，得到表 8-4 中的结果。

表 8-4. PLLatinum 仿真结果

元件	值	单位
C1	390	pF
C2	68	nF
C3	1.8	nF
R2	68	Ω
R3	18	Ω

8.2.3 应用曲线

实际结果显示实现了出色的 36fs 相位噪声抖动。

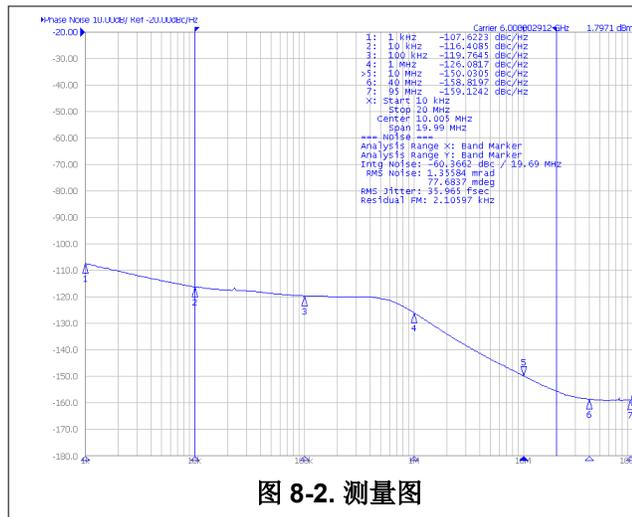


图 8-2. 测量图

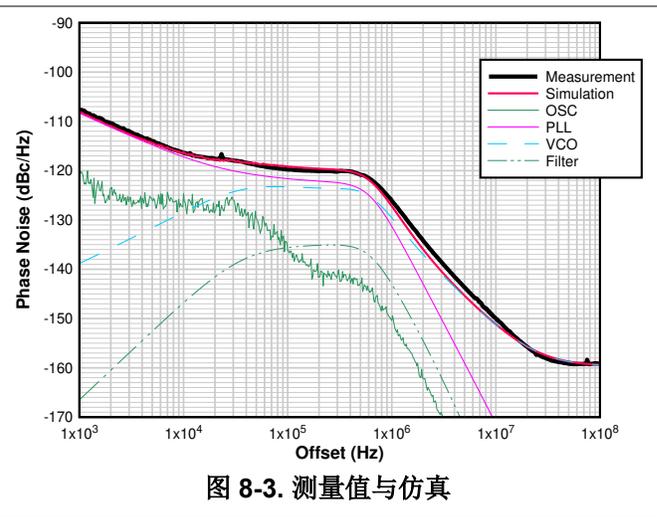


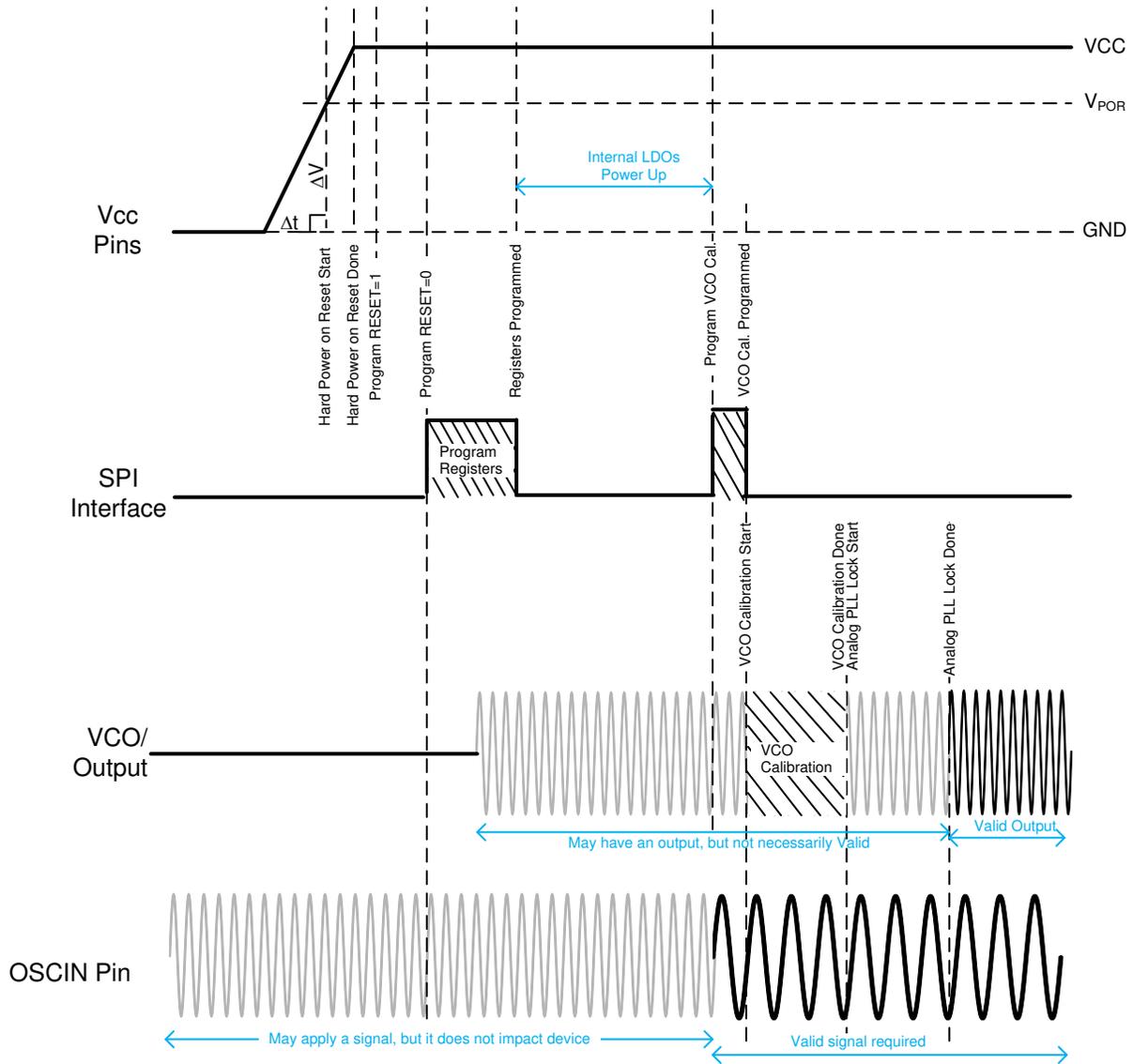
图 8-3. 测量值与仿真

8.3 初始化和加电时序

为确保器件正常运行，需要遵循正确的加电时序。

1. 最初加电时，加电复位 (POR) 电路会将寄存器和状态机复位为默认状态。
2. 在完成任何编程之前，VCC_CP、VCC_VCO、VCC_VCO2、VCC_MASH 和 VCC_BUF 的电压至少高于 3.15V 的最低工作电压。
3. 虽然 POR 电路会初始化器件，但最好将 RESET 位从 1 切换到 0 以手动进行软件复位。这是为了确保内部状态机、偏置电平和整体器件电流复位到一个稳定的启动条件。此复位耗时不到 1 μ s。
4. 按降序对寄存器进行编程；R0 应该是最后一个被编程的寄存器。这会加载到所需的状态。
5. 等待 10ms 让内部 LDO 上电。
6. 再对 R0 寄存器编程一次，以激活 VCO 校准，同时 LDO 处于稳定状态。即使之前已经完成，如果在芯片中的 LDO 处于适当电平之前完成校准，则校准无效。此外，具有稳定和准确的输入基准也很重要，因为 VCO 校准基于此。在不损坏器件的情况下，可以提前对器件施加一个输入基准。这适用于有即时校准和没有即时校准的两种校准方法。
7. 完成 VCO 校准后，频率会更接近，但不准确。频率必须随着模拟锁定时间稳定下来，这会增加 VCO 数字校准。
8. 模拟 PLL 锁定完成后，输出有效。在此之前可能有来自输出的信号，但频率可能无效。

图 8-4. 加电时序



9 电源相关建议

如果分数杂散问题严重，则在这些电源引脚上使用铁氧体磁珠可以在一定程度上减少杂散。该器件具有集成 LDO，可提高对电源噪声的抵抗力。该器件可由外部直流/直流降压转换器（例如 TPS62150）供电。为了进行电源滤波，大致了解通过不同引脚的电流量很有用。这可能会随着配置的变化而发生很大变化，下表能帮助我们很好地理解。

表 9-1. 每个引脚的电流消耗 (单位: mA)

条件	总计	VCCDIG	VCCCP	VCCMASH	VCCBUF	VCCVCO
一个直接射频输出	420	23	5	5	124	263
一个分压射频输出	580	21	13	96	212	238
一个启用了 VCO 倍频器的射频输出	590	20	12	89	238	231
RFIN 外部反馈模式, 内部 VCO	530	18	12	90	170	240
PFDIN 外部反馈模式, 内部 VCO	455	18	10	79	110	238
外部 VCO 模式	290	19	9	92	54	116
上电复位电流	234	10	6	48	24	146
关断电流	10	2	0	1	6	1

10 布局

10.1 布局指南

一般来说，布局指南与大多数其他 PLL 器件相似。以下是一些具体的指南。

- GND 引脚可以在封装上路由回 DAP。
- OSCIN 引脚，为内部偏置的，并且必须是交流耦合的。
- 不使用时，SRREQ 引脚可以接地到 DAP。
- 为了在 200kHz 至 1MHz 范围内获得更优 VCO 相位噪声，最靠近 VTUNE 引脚的电容器最好至少为 1.5nF。如果该电容器较大，会限制环路带宽，因此该值可以降低（例如 1nF），但要牺牲 VCO 相位噪声。
- 如果需要单端输出，另一端必须具有相同的负载。但是，可以通过将互补侧通过过孔路由到电路板的另一侧来优化使用侧的布线。在这一侧，使负载看起来与使用的一侧相同。
- 确保器件上的 DAP 通过多个过孔良好接地，最好是铜填充。
- 有一个与 LMX2820 裸露焊盘一样大的散热焊盘。在散热焊盘上添加过孔以更大限度地提高散热性能。
- 使用低损耗介电材料，例如 Rogers 4350B，以获得出色输出功率。

10.2 布局示例

在该布局中，所有环路滤波器 (C1LF、C2LF、C3LF、R2LF 和 R3LF) 都位于电路板的顶部。C3LF 位于 VTUNE 引脚旁边。如果此 C3LF 电容器处于开路状态，TI 建议在此位置移动一个环路电容器。例如，如果使用二阶环路滤波器，从技术上讲，C3LF 将处于开路状态。但是，对于这个为三阶环路滤波器设计的布局示例来说，最好使 C1LF = 开路，并且 C3LF 与 C1LF 相同。

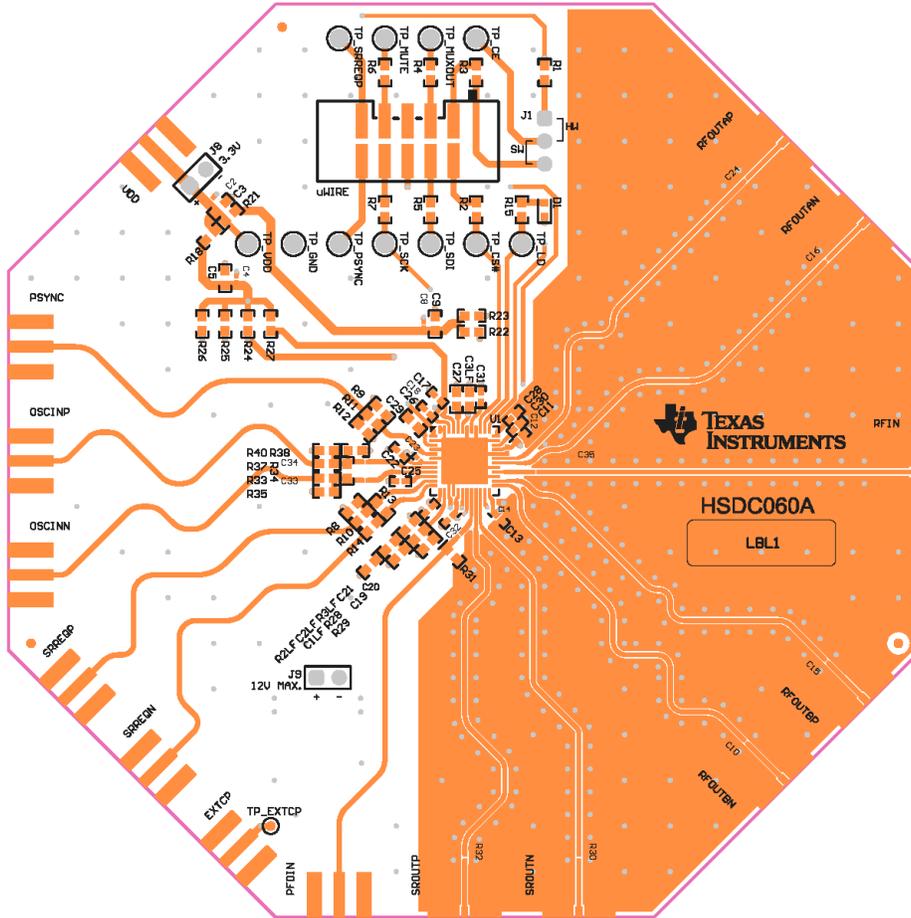


图 10-1. 布局示例

11 器件和文档支持

11.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.2 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《[使用条款](#)》。

11.3 商标

PLLatinum™ is a trademark of Texas Instruments.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMX2820RTCR	Active	Production	VQFN (RTC) 48	2500 LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX2820
LMX2820RTCR.B	Active	Production	VQFN (RTC) 48	2500 LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX2820
LMX2820RTCT	Active	Production	VQFN (RTC) 48	250 SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX2820
LMX2820RTCT.B	Active	Production	VQFN (RTC) 48	250 SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	LMX2820

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

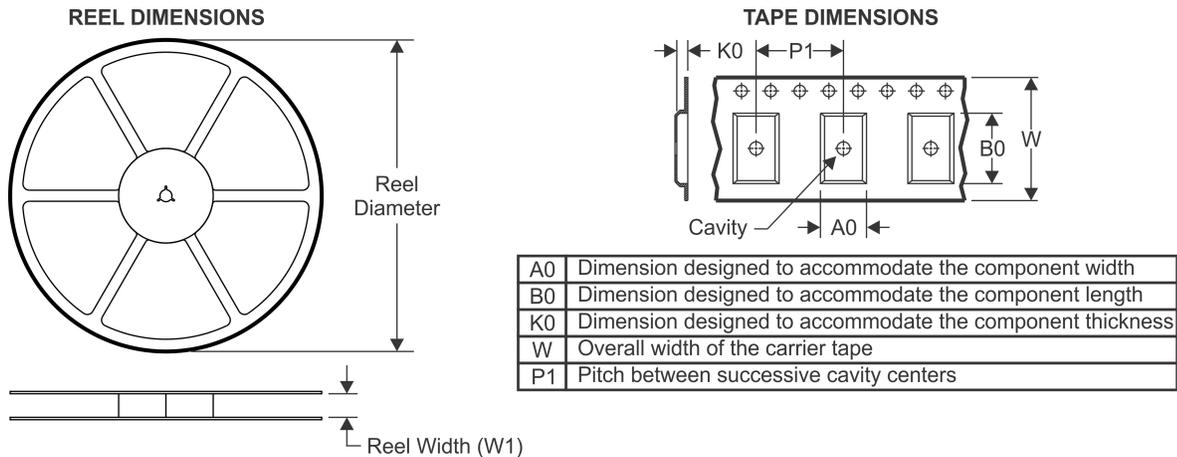
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

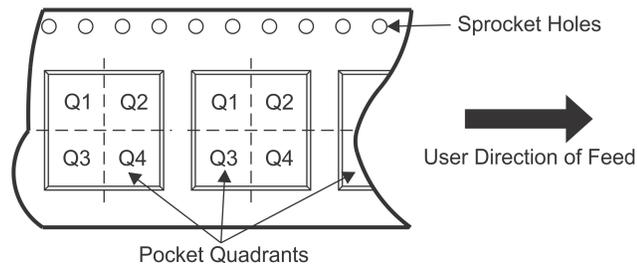
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

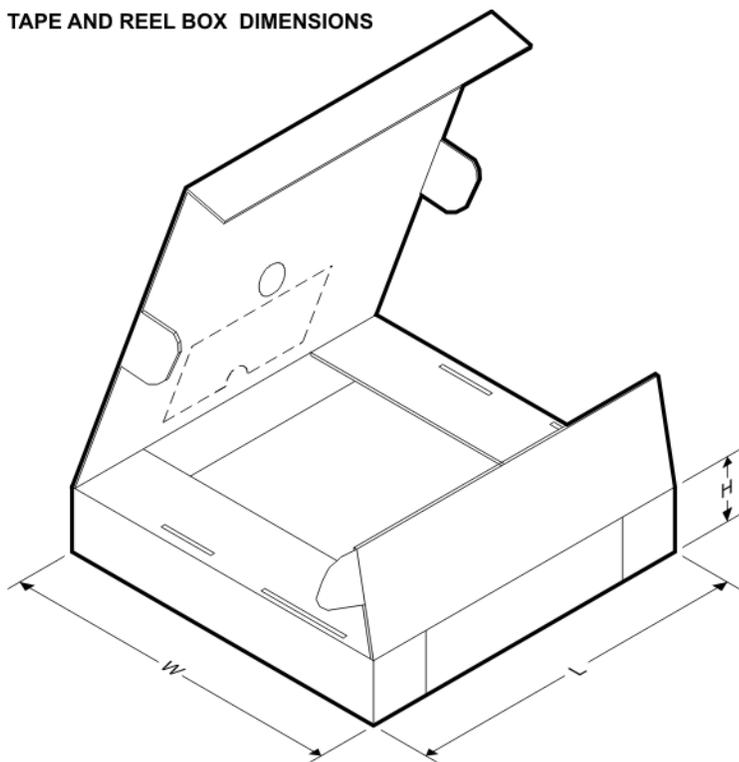


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMX2820RTCR	VQFN	RTC	48	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
LMX2820RTCT	VQFN	RTC	48	250	180.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMX2820RTCR	VQFN	RTC	48	2500	367.0	367.0	38.0
LMX2820RTCT	VQFN	RTC	48	250	210.0	185.0	35.0

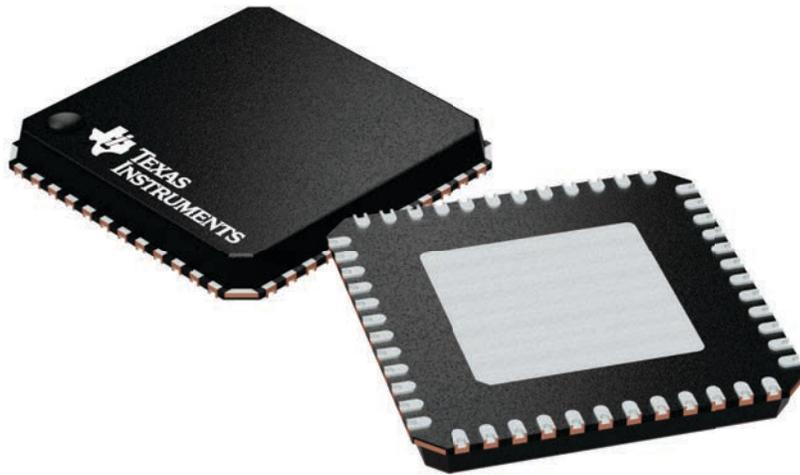
GENERIC PACKAGE VIEW

RTC 48

VQFNP - 0.9 mm max height

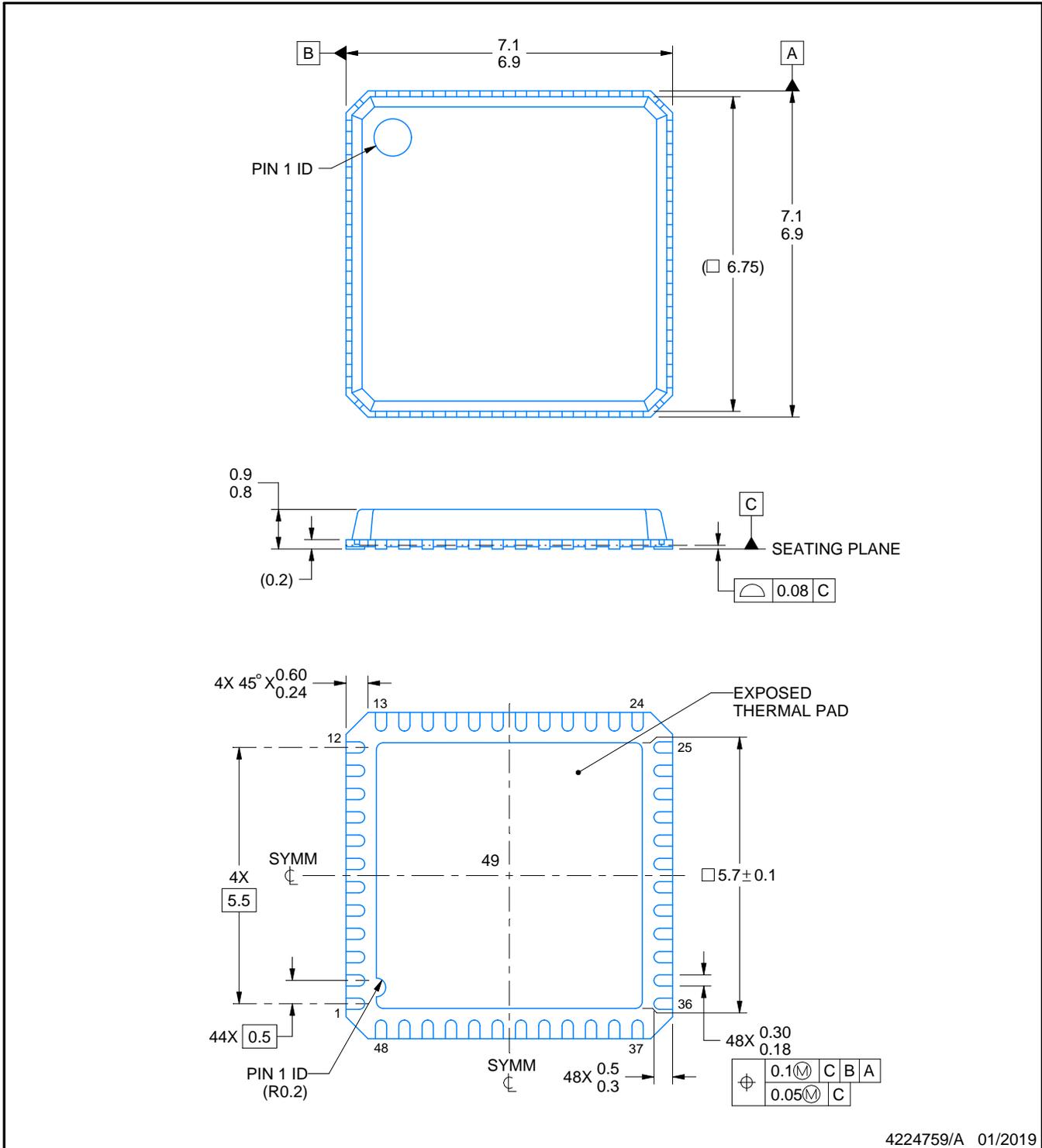
7 x 7, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224601/A



NOTES:

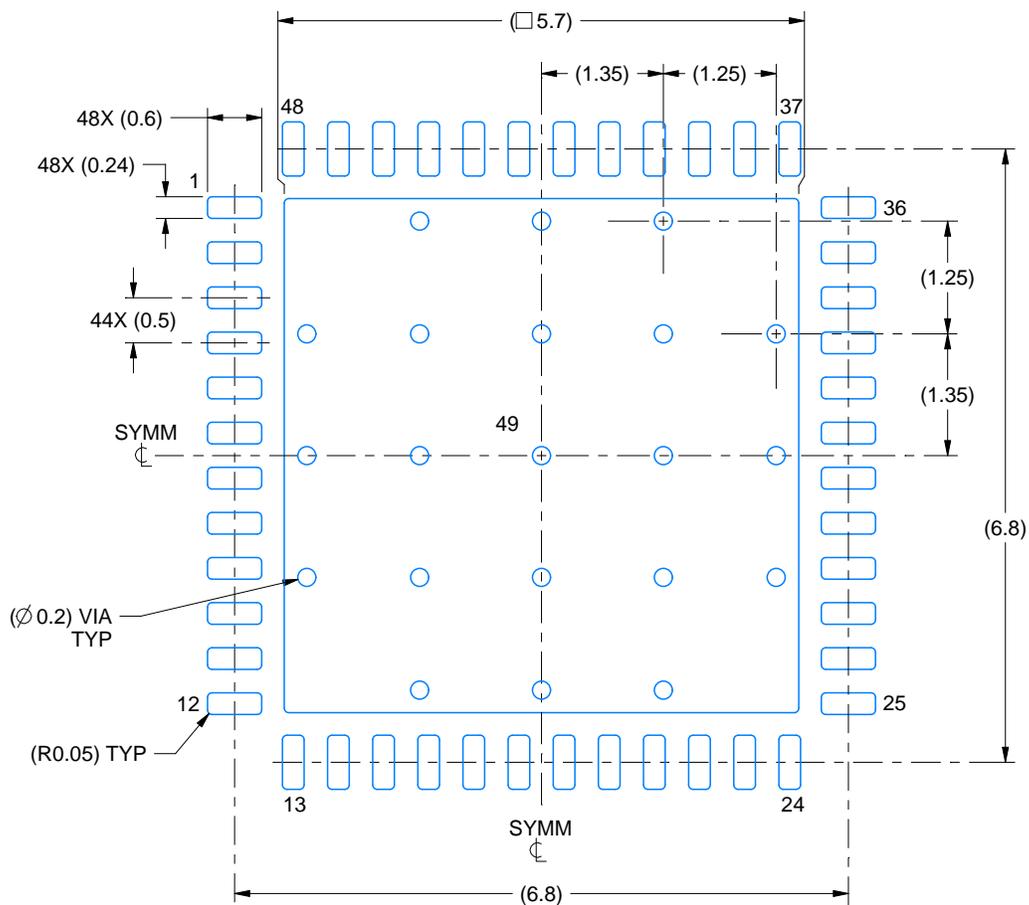
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

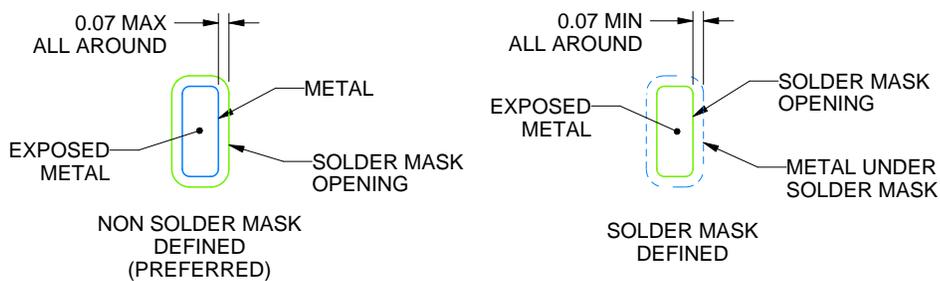
RTC0048G

VQFNP - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



SOLDER MASK DETAILS

4224759/A 01/2019

NOTES: (continued)

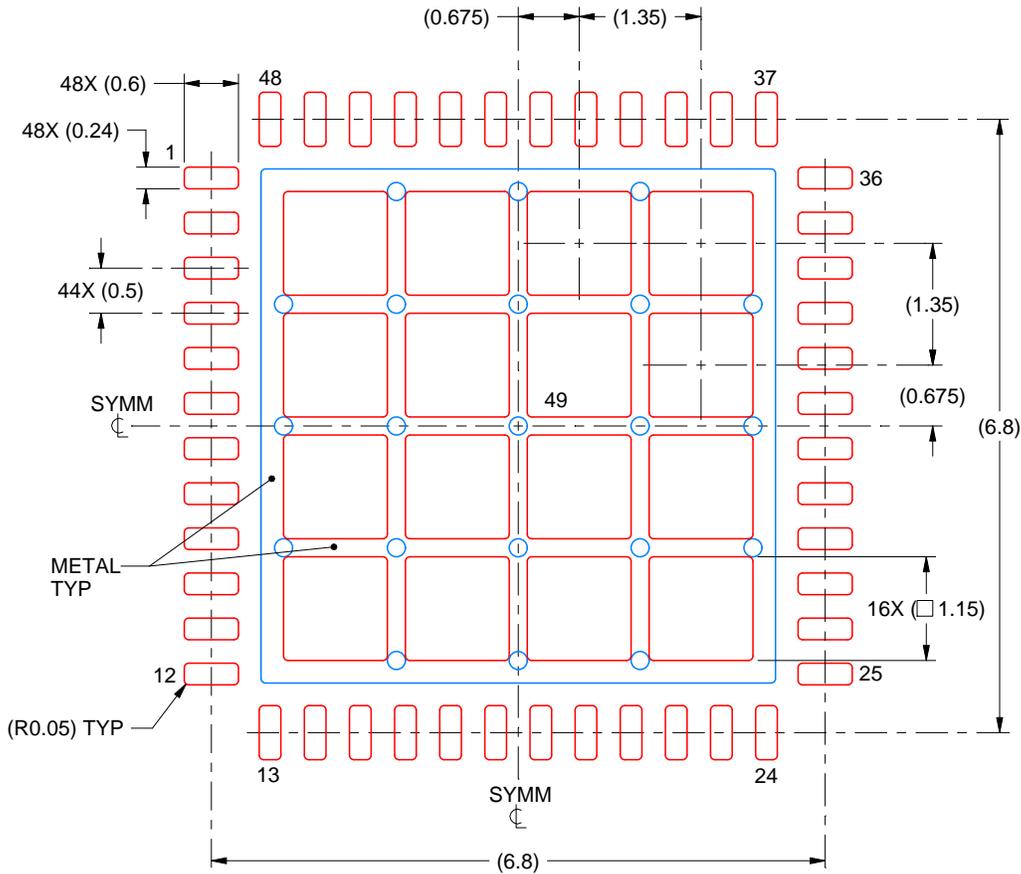
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTC0048G

VQFNP - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49:
65% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4224759/A 01/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司